

Attorney Docket No.: 5649-1187

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Shin-ae Lee

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: MOS TRANSISTORS HAVING INVERTED T-SHAPED GATE ELECTRODES  
AND FABRICATION METHODS THEREOF

October 10, 2003

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

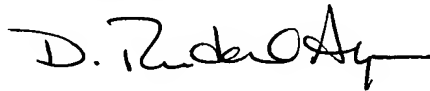
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2002-62009, filed October 11, 2002.

Respectfully submitted,



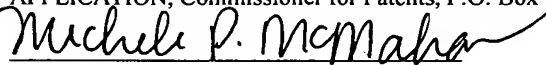
D. Randal Ayers  
Registration No. 40,493

Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401  
Customer No.: 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 353593241 US  
Date of Deposit: October 10, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0062009  
Application Number

출원 년 월 일 : 2002년 10월 11일  
Date of Application OCT 11, 2002

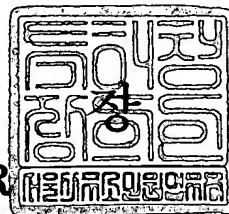
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      09      월      16      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.08.27
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0062009
【출원일자】	2002.10.11
【심사청구일자】	2002.10.11
【발명의 명칭】	역티 형태의 게이트 전극을 갖는 모스 트랜지스터들 및 그 제조방법들
【제출원인】	
【접수번호】	1-1-2002-0334217-51
【접수일자】	2002.10.11
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	이신애
【성명의 영문표기】	LEE, SHIN AE
【주민등록번호】	770809-2808414



【우편번호】	440-600
【주소】	경기도 수원시 장안구 수원우체국사서함 125호 15동 519호
【국적】	KR
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK,DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창섭
【성명의 영문표기】	LEE,CHANG SUB
【주민등록번호】	680715-1109521
【우편번호】	441-400
【주소】	경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정동
【성명의 영문표기】	CHOE,JEONG DONG
【주민등록번호】	690726-1550311
【우편번호】	431-719
【주소】	경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성호
【성명의 영문표기】	KIM,SEONG HO
【주민등록번호】	720505-1653010
【우편번호】	449-900



1020020062009

출력 일자: 2003/9/19

【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성민
【성명의 영문표기】	KIM,SUNG MIN
【주민등록번호】	740116-1772529
【우편번호】	403-727
【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.10.11
【발명의 명칭】	역티 형태의 게이트 전극을 갖는 모스 트랜지스터들 및 그 제조 방법들
【발명의 영문명칭】	MOS transistors having a reverse T-shaped gate electrode and fabrication methods thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK, DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창섭
【성명의 영문표기】	LEE, CHANG SUB
【주민등록번호】	680715-1109521
【우편번호】	441-400

【주소】	경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정동
【성명의 영문표기】	CHOE, JEONG DONG
【주민등록번호】	690726-1550311
【우편번호】	431-719
【주소】	경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성호
【성명의 영문표기】	KIM, SUNG HO
【주민등록번호】	720505-1653010
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호
【국적】	KR
【발명자】	
【성명의 국문표기】	이신애
【성명의 영문표기】	LEE, SIN AE
【주민등록번호】	770809-2808414
【우편번호】	440-600
【주소】	경기도 수원시 장안구 수원우체국사서함 125호 15동 519호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성민
【성명의 영문표기】	KIM, SUNG MIN
【주민등록번호】	740116-1772529
【우편번호】	403-727
【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 79 면 79,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 60 항 2,029,000 원

【합계】 2,137,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통



**【요약서】****【요약】**

"역 T"형태의 게이트 전극을 갖는 모스 트랜지스터들 및 그 제조방법들이 제공된다. 상기 모스 트랜지스터는 반도체기판 상에 형성된 "역 T"형태의 게이트 전극을 구비한다. 상기 "역 T"형태의 게이트 전극은 그 하부측벽으로부터 수평방향을 향하여 연장된 돌출부를 갖는다. 상기 돌출부를 포함하는 상기 게이트 전극의 측벽은 게이트 스페이서로 덮여진다. 상기 돌출부 하부의 상기 반도체기판의 표면에 제1 저농도 불순물 영역이 위치하고, 상기 스페이서 하부의 상기 반도체기판의 표면에 상기 제1 저농도 불순물 영역보다 깊은 제2 저농도 불순물 영역이 위치한다. 또한, 상기 게이트 스페이서의 외측벽에 인접한 상기 반도체기판의 표면에 고농도 불순물 영역이 위치한다. 상기 "역 T"형태의 게이트 전극은 몰딩막을 채택하는 다마신 공정을 사용하여 형성된다. 이 경우에, 상기 몰딩막 내에 게이트 패턴을 형성하고 상기 게이트 패턴 내에 N형 불순물 이온들을 주입한다. 이어서, 상기 게이트 패턴을 열처리하여 상기 N형 불순물 이온들로 균일하게 도우핑된 N형 게이트 전극을 형성한다. 이에 따라, 상기 게이트 패턴 내에 존재하는 이온주입 손상이 제거된다. 그 결과, 상기 몰딩막을 제거하는 동안 상기 N형 게이트 전극에 물리적인 손상이 가해지는 것을 방지할 수 있다.

**【대표도】**

도 8

【명세서】

【발명의 명칭】

역티 형태의 게이트 전극을 갖는 모스 트랜지스터들 및 그 제조방법들{MOS transistors having a reverse T-shaped gate electrode and fabrication methods thereof}

【도면의 간단한 설명】

도 1, 도 2, 도 3a 및 도 3b는 종래기술에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

도 4 내지 도 7은 다른 하나의 종래기술에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

도 8 은 본 발명의 제1 실시예에 따른 모스 트랜지스터를 설명하기 위한 단면도이다.

도 9는 본 발명의 제2 실시예에 따른 모스 트랜지스터를 설명하기 위한 단면도이다.

도 10은 본 발명의 제3 실시예에 따른 모스 트랜지스터를 설명하기 위한 단면도이다.

도 11 내지 도 20은 도 8에 보여진 모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

도 21a, 도 21b, 도 21c 및 도 22 내지 도 24는 도 9에 보여진 모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

도 25 내지 도 29는 도 10에 보여진 모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체소자들 및 그 제조방법들에 관한 것으로, 특히 "역 T"형태의 게이트 전극을 갖는 모스 트랜지스터들 및 그 제조방법들에 관한 것이다.
- <10> 반도체소자는 복수개의 모스 트랜지스터들로 구성된 집적회로를 포함한다. 상기 모스 트랜지스터들은 상기 반도체소자의 집적도가 증가함에 따라 점점 작아지고 있다. 이에 따라, 상기 모스 트랜지스터들의 단채널 효과(short channel effect)에 기인하는 문제점들을 개선하기 위한 연구가 지속적으로 행해지고 있다. 예를 들면, 단채널 모스 트랜지스터의 제조방법이 미국특허 제6,245,619 B1에 "Disposable-spacer damascene-gate process for sub 0.05  $\mu\text{m}$  MOS devices"라는 제목으로 보이드 등(boyd et al.)에 의해 가르쳐지고 있다.
- <11> 도 1, 도 2 및 도 3a는 상기 미국특허 제6,245,619 B1에 개시된 모스 트랜지스터의 제조방법을 간단히 설명하기 위한 단면도들이다.
- <12> 도 1을 참조하면, 반도체기판(1) 상에 패드 산화막(3) 및 패드 질화막(5)을 차례로 형성한다. 상기 패드 산화막(3)은 80Å 내지 200Å의 두께로 형성한다. 상기 패드 질화막(5) 및 패드 산화막(3)을 연속적으로 패터닝하여 상기 반도체기판(1)의 소정영역을 노출시키는 게이트 홀(7)을 형성한다.
- <13> 도 2를 참조하면, 상기 노출된 반도체기판 상에 게이트 산화막(9)을 형성한다. 상기 게이트 산화막(9)은 30Å 또는 그 이하의 얇은 두께로 형성한다. 상기 게이트 산화막(9) 상의 상기 게이트 홀(7) 내에 폴리실리콘 게이트(11)를 형성한다.

<14> 도 3a를 참조하면, 상기 패드 질화막(5)을 제거한다. 다음에, 상기 패드 질화막(5)이 제거된 반도체기판을 열산화시켜 상기 폴리실리콘 게이트(11)의 표면에 열산화막(13)을 형성한다. 상기 열산화막(13)을 갖는 반도체기판의 전면에 절연막을 형성한다. 상기 절연막을 이방성 식각하여 상기 폴리실리콘 게이트(11)의 측벽 상에 스페이서(15)를 형성한다. 상기 폴리실리콘 게이트(11) 및 상기 스페이서(15)를 이온주입 마스크로 사용하여 상기 반도체기판(1)의 표면에 불순물 이온들을 주입하여 고농도 소오스/드레인 영역(17)을 형성한다. 이어서, 상기 스페이서(15)를 선택적으로 제거한 다음, 상기 폴리실리콘 게이트(11)를 이온주입 마스크로 사용하여 상기 반도체기판(1) 내에 불순물 이온들을 주입한다. 그 결과, 상기 폴리실리콘 게이트(11)의 측벽에 인접한 반도체기판(1)의 표면에 저농도 소오스/드레인 영역(19)을 형성된다.

<15> 상기 저농도 소오스/드레인 영역(19)의 길이(L)는 상기 스페이서(15)의 폭(W)에 의존한다. 따라서, 상기 저농도 소오스/드레인 영역(19)의 길이(L)를 감소시키기 위해서는 상기 스페이서(15)의 폭(W)을 감소시키는 것이 요구된다. 그러나, 샐리사이드(salicide; self-aligned silicide) 기술을 적용하기 위해서는, 상기 스페이서(15)가 필수적으로 존재하여야 한다. 특히, 게이트 전극 및 소오스/드레인 영역 사이에 브릿지가 형성되는 것을 완전히 방지하기 위해서는, 상기 스페이서(15)의 폭(W)을 증가시켜야 한다. 이 경우에, 상기 저농도 소오스/드레인 영역(19)의 전기적인 저항이 증가하여 MOS 트랜지스터의 온 전류(on-current)를 감소시킨다. 상기 샐리사이드 기술을 사용하여 제조된 MOS 트랜지스터가 도 3b에 보여진다.

<16> 도 3b를 참조하면, 도 3a에 보여진 상기 스페이서(15)를 형성하기 전에, 상기 폴리실리콘 게이트(11)를 이온주입 마스크로 사용하여 상기 반도체기판(1)에 불순물 이온들을 주입한다. 그 결과, 상기 폴리실리콘 게이트(11)의 양 옆에 위치한 반도체기판(1)의 표면에 상기 저농도 소오스/드레인 영역(19)이 형성된다. 이어서, 상기 게이트(11)의 측벽 상에 상기 스페이서(15)를 형성한다.

페이서(15)를 형성한다. 상기 게이트(11) 및 상기 스페이서(15)를 이온주입 마스크로 사용하여 상기 반도체기판(1)에 불순물 이온들을 주입하여 상기 고농도 소오스/드레인 영역(17)을 형성한다. 상기 게이트(11)의 상부면 및 상기 고농도 소오스/드레인 영역(17) 상부면 상에 통상의 셀리사이드 기술을 사용하여 금속 실리사이드막들(21a, 21b)을 선택적으로 형성한다.

<17> 도 3b에 도시된 종래기술에 따르면, 상기 저농도 소오스/드레인 영역(19)은 모스 트랜지스터의 단채널 효과를 개선하기 위하여 얇은 접합깊이(shallow junction depth)를 갖도록 형성되어야 한다. 이 경우에, 상기 금속 실리사이드막(21b) 및 상기 반도체기판(1) 사이의 누설전류 특성이 현저히 저하될 수 있다.

<18> 도 4 내지 도 7은 다른 하나의 종래기술을 설명하기 위한 단면도들이다. 도면들에 있어서, 참조부호 "a" 및 "b"에 의해 표시된 부분들은 각각 엔모스(NMOS) 트랜지스터 영역 및 피모스(PMOS) 트랜지스터 영역을 나타낸다.

<19> 도 4를 참조하면, 반도체기판(31) 상에 패드 산화막(33) 및 패드 질화막(35)을 차례로 형성한다. 상기 패드 질화막(35) 및 패드 산화막(33)을 패터닝하여 상기 엔모스 트랜지스터 영역(a) 및 피모스 트랜지스터 영역(b) 내에 각각 제1 및 제2 게이트 패턴 그루브들(37n, 37p)을 형성한다. 상기 제1 및 제2 게이트 패턴 그루브들(37n, 37p)은 상기 반도체기판(31)의 소정영역들을 노출시킨다.

<20> 도 5를 참조하면, 상기 노출된 반도체기판(31)의 표면 상에 게이트 산화막(39)을 형성한다. 상기 게이트 산화막(39)을 갖는 반도체기판의 전면 상에 언도우프트 폴리실리콘막을 형성한다. 상기 패드질화막(35)의 상부면이 노출될때까지 상기 언도우프트 폴리실리콘막을 평탄화시키어 상기 제1 및 제2 게이트 패턴 그루브들(37n, 37p) 내에 각각 제1 및 제2 언도우프트 게이트 패턴들(41n, 41p)을 형성한다. 이어서, 상기 피모스 트랜지스터 영역(b) 상에 포토레지스

트 패턴(43)을 형성한다. 상기 포토레지스트 패턴(43)을 이온주입 마스크로 사용하여, 상기 제1 언도우프트 게이트 패턴(41n) 내에 N형 불순물 이온들(45)을 약  $5 \times 10^{15}$  atoms/cm<sup>2</sup>의 높은 도우즈 및 15KeV의 에너지로 주입한다. 상기 N형 불순물 이온들은 높은 확산도(high diffusivity)를 갖는 인 이온들인 것이 바람직하다. 이는 상기 제1 언도우프트 게이트 패턴(41n)을 균일하게 도우핑시키기 위함이다. 이 경우에, 상기 제1 언도우프트 게이트 패턴(41n)의 상부면으로부터 약 200Å의 투사범위(projection range; Rp)에 해당하는 깊이에서 최대의 불순물 이온들이 분포한다. 결과적으로, 상기 인 이온들은 상기 제1 언도우프트 게이트 패턴(41n)의 상부면으로부터 그 것의 약 500Å의 깊이까지 분포한다. 상기 인 이온들이 주입된 영역은 손상되어 다결정 상태에서 비정질 상태로 변화한다.

<21> 도 6을 참조하면, 상기 포토레지스트 패턴(43)을 제거한다. 다음에, 상기 패드 질화막(35)을 제거하여 상기 제1 및 제2 게이트 패턴들(41n, 41p)의 측벽들을 노출시킨다. 여기서, 상기 패드질화막(35)은 인산 용액을 사용하여 제거한다. 이때, 상기 제1 게이트 패턴(41n) 내의 손상된 부분(즉, 비정질 실리콘 영역) 또한 쉽게 제거된다. 따라서, 상기 제1 게이트 패턴(41n)보다 낮은 제1 변형된 게이트 패턴(a first deformed gate pattern)이 형성된다. 결과적으로, 상기 제1 변형된 게이트 패턴은 아직도 언도우프트 폴리실리콘막으로 이루어져 있다. 다시 말해서, 상기 제1 게이트 패턴(41n) 내에 상기 인 이온들을 주입할지라도, 상기 제1 게이트 패턴(41n)을 균일하게 도우핑시키기가 어렵다. 한편, 상기 제2 게이트 패턴(41p)은 여전히 초기의 높이를 유지한다.

<22> 계속해서, 통상의 방법을 사용하여 상기 엔모스 트랜지스터 영역(a) 및 피모스 트랜지스터 영역(b) 내에 각각 N형 저농도 불순물 영역(45) 및 P형 저농도 불순물 영역(47)을

형성한다. 다음에, 상기 제1 변형된 게이트 패턴의 측벽 및 상기 제2 게이트 패턴(41p)의 측벽 상에 각각 제1 스페이서(49n) 및 제2 스페이서(49p)를 형성한다. 상기 제1 변형된 게이트 패턴 및 상기 제1 스페이서(49n)을 이온주입 마스크로 사용하여 상기 엔모스 트랜지스터 영역(a) 내의 반도체기판에 비소 이온들을  $1 \times 10^{15}$  내지  $5 \times 10^{15}$  atoms/cm<sup>2</sup>의 높은 도우즈로 주입하여 N형 고농도 불순물 영역(51)을 형성한다.

<23>        상기 비소 이온들은 인 이온들에 비하여 상대적으로 낮은 확산도를 갖는다. 따라서, 상기 비소 이온들은 짧은 채널길이를 갖는 엔모스 트랜지스터의 얇은 N형 소오스/드레인 영역을 형성하는 데 널리 사용된다. 이때, 상기 제1 변형된 게이트 패턴 내에도 상기 비소 이온들이 주입된다. 따라서, 상기 엔모스 트랜지스터 영역(a) 내에 N형의 게이트 전극(41n')이 형성된다. 그러나, 상기 비소 이온들은 상술한 바와 같이 인 이온들에 비하여 상대적으로 낮은 확산도를 가지므로, 상기 제1 변형된 게이트 패턴을 상기 비소이온들로 균일하게 도우핑시키기가 어렵다. 즉, 상기 제1 변형된 게이트 패턴의 하부면까지 상기 비소이온들을 충분히 확산시키기가 어렵다. 따라서, 상기 N형 게이트 전극(41n')의 도우핑 프로파일을 균일하게 형성하기 위해서는, 상기 비소 이온들이 주입된 반도체기판을 고온에서 장시간 동안 열처리하거나 상기 제1 및 제2 언도우프트 게이트 패턴들(41n, 41p)의 두께를 감소시키는 것이 요구된다. 그러나, 상기 열처리 공정이 고온에서 장시간 동안 행해지면, 상기 N형 고농도 불순물 영역(51)의 접합깊이가 증가하여 엔모스 트랜지스터의 짧은채널 특성이 저하된다.

<24>        또한, 상기 제2 언도우프트 게이트 패턴(41p)의 두께가 너무 얇으면, 후속공정에서 문제점이 발생한다. 즉, 상기 제2 언도우프트 게이트 패턴(41p) 및 상기 제2 스페이서(49p)를 이온주입 마스크로 사용하여, 상기 피모스 트랜지스터

영역(b) 내의 반도체기판에 붕소 이온들을  $1 \times 10^{15}$  내지  $5 \times 10^{15}$  atoms/cm<sup>2</sup>의 도우즈로 주입하여 P형 고농도 불순물 영역(53)을 형성한다. 이때, 상기 제2 언도우프트 게이트 패턴(41p) 내에도 상기 붕소 이온들이 주입된다. 이에 따라, 상기 피모스 트랜지스터 영역(b) 내에 P형 게이트 전극(41p')이 형성된다. 상기 붕소 이온들은 비소 이온들 또는 인 이온들과는 달리 상기 제2 언도우프트 게이트 패턴(41p) 및 상기 게이트 산화막(39) 사이의 계면을 관통하고 상기 반도체 기판(31)까지 확산하는 성질을 갖는다. 따라서, 상기 제2 언도우프트 게이트 패턴(41p)의 두께가 너무 얇으면, 상기 P형 게이트 전극(41p')의 하부의 채널 영역의 농도가 변화될 수 있다. 이는 피모스 트랜지스터의 문턱전압 특성의 불안정성을 유발시킨다.

<25> 도 7을 참조하면, 통상의 셀리사이드(salicide; self-aligned silicide) 기술을 사용하여 상기 N형 게이트 전극(41n'), 상기 P형 게이트 전극(41p'), 상기 N형 고농도 불순물 영역(51) 및 상기 P형 고농도 불순물 영역(53) 상에 선택적으로 금속 실리사이드막(55)을 형성한다. 상기 금속 실리사이드막(55)을 형성하기 위해서는 열처리 공정이 요구된다. 이때, 상기 N형 게이트 전극(41n') 내의 불순물들은 상기 N형 게이트 전극(41n') 및 그 위의 상기 금속 실리사이드막(55) 사이의 계면에서의 도우펀트 분리 현상(dopant segregation effect)에 의해 심하게 고갈(depletion)될 수 있다. 이는, 상기 N형 게이트 전극(41n')이 상기 P형 게이트 전극(41p')보다 얇기 때문이다. 이에 따라, 상기 N형 게이트 전극(41n') 내에 불순물 고갈영역(impurity depletion region; 57)이 생성되어 엔모스 트랜지스터의 문턱전압 특성을 불안정하게 만든다. 특히, 상기 불순물 고갈영역(57)이 상기 게이트 산화막(39)에 인접한 위치에 형성되는 경우에, 상기 엔모스 트랜지스터의 특성은 현저히 저하된다.

<26> 상술한 바와 같이 종래의 기술들에 따르면, 셀리사이드 기술을 적용하기가 어려울 뿐만 아니라 신뢰성 있는 상보형 모스 트랜지스터들을 제조하기가 어렵다.



【발명이 이루고자 하는 기술적 과제】

- <27> 본 발명이 이루고자 하는 기술적 과제는 소오스/드레인 영역들의 전기적 저항을 감소시키기에 적합한 모스 트랜지스터 및 그 제조방법을 제공하는 데 있다.
- <28> 본 발명이 이루고자 하는 다른 기술적 과제는 샐리사이드 기술을 적용하기에 적합한 모스 트랜지스터 및 그 제조방법을 제공하는 데 있다.
- <29> 본 발명이 이루고자 하는 또 다른 기술적 과제는 단채널 효과를 개선하기에 적합한 다마신 게이트 전극 및 소오스/드레인 영역을 갖는 모스 트랜지스터 및 그 제조방법을 제공하는 데 있다.
- <30> 본 발명이 이루고자 하는 또 다른 기술적 과제는 N형 게이트 전극이 전기적으로 열화되거나 물리적으로 변형되는 것을 방지할 수 있는 상보형(complementary) 모스 트랜지스터들의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <31> 상기 기술적 과제들을 이루기 위하여 본 발명은 다마신 게이트 전극을 갖는 모스 트랜지스터 및 그 제조방법을 제공한다.
- <32> 본 발명의 일 양태에 따르면, 상기 모스 트랜지스터는 반도체기판 상에 형성된 "역 T"형태의 게이트 전극(reverse T-shaped gate electrode)을 구비한다. 상기 "역 T"형태의 게이트 전극은 그것의 하부측벽으로부터 수평방향을 향하여 연장된 돌출부(protrusion)를 갖는다. 상기 "역 T"형태의 게이트 전극의 측벽은 게이트 스페이서에 의해 덮여진다. 상기 돌출부 하부의 상기 반도체기판의 표면에 제1 저농도 불순물 영역이 위치한다. 상기 게이트 스페이서 하부의 상기 반도체기판의 표면에 제2 저농도 불순물 영역이 위치한다. 상기 제2 저농도 불순물 영역

은 상기 제1 저농도 불순물 영역에 인접하고 상기 제1 저농도 불순물 영역보다 깊다. 상기 게이트 스페이서의 외측벽에 인접한 상기 반도체기판의 표면에 고농도 불순물 영역이 위치한다. 상기 제1 저농도 불순물 영역, 상기 제2 저농도 불순물 영역 및 상기 고농도 불순물 영역은 소오스/드레인 영역을 구성한다.

<33>       상기 게이트 전극의 측벽 및 상기 제2 저농도 불순물 영역의 상부면은 치유 열산화막(curing thermal oxide layer)에 의해 덮여질 수 있다. 이 경우에, 상기 게이트 스페이서는 상기 치유 열산화막 상에 위치한다. 이에 더하여, 상기 치유 열산화막 및 상기 게이트 스페이서 사이에 스페이서 식각저지막이 개재될 수도 있다.

<34>       상기 돌출부의 측벽은 수직인 프로파일, 음의 경사진 프로파일(negative sloped profile) 또는 양의 경사진 프로파일(positive sloped profile)을 갖는다. 여기서, 상기 음의 경사진 프로파일은 상기 돌출부의 상부폭이 그것의 하부폭보다 넓은 것을 의미한다. 이와 반대로, 상기 양의 경사진 프로파일은 상기 돌출부의 상부폭이 그것의 하부폭보다 좁은 것을 의미한다.

<35>       상기 게이트 전극의 상부면 및 상기 고농도 불순물 영역의 상부면은 금속 실리사이드막에 의해 덮여질 수 있다.

<36>       본 발명의 일 실시예에 따르면, 엔모스 트랜지스터들 및 피모스 트랜지스터들로 구성된 상보형 모스 트랜지스터들이 제공된다. 이 상보형 모스 트랜지스터들은 엔모스 트랜지스터 영역 및 피모스 트랜지스터 영역을 갖는 반도체기판을 포함한다. 상기 엔모스 트랜지스터 영역 및 피모스 트랜지스터 영역 내에 각각 제1 및 제2 활성영역들이 한정된다. 상기 제1 활성영역의 소정영역 상에 "역 T"형태의 N형 게이트 전극(reverse T-shaped N-type gate electrode)이 배치된다. 이와 마찬가지로, 상기 제2 활성영역의 소정영역 상에

"역 T"형태의 P형 게이트 전극이 배치된다. 상기 N형 게이트 전극 및 상기 P형 게이트 전극은 각각 그들의 하부측벽들로부터 연장된 제1 및 제2 돌출부들을 갖는다. 상기 N형 게이트 전극의 측벽 및 상기 P형 게이트 전극의 측벽은 각각 제1 및 제2 게이트 스페이서들에 의해 덮여진다. 상기 제1 돌출부 하부의 상기 반도체기판의 표면에 제1 N형 저농도 불순물 영역이 위치한다. 또한, 상기 제1 스페이서 하부의 상기 반도체기판의 표면에 제2 N형 저농도 불순물 영역이 위치한다. 상기 제2 N형 저농도 불순물 영역은 상기 제1 N형 저농도 불순물 영역에 인접하고 상기 제1 N형 저농도 불순물 영역보다 깊다. 제1 스페이서의 외측벽에 인접한 상기 반도체기판의 표면에 N형 고농도 불순물 영역이 위치한다. 결과적으로, 상기 제2 N형 저농도 불순물 영역은 상기 제1 N형 저농도 불순물 영역 및 상기 N형 고농도 불순물 영역 사이에 개재된다. 또한, 상기 제2 게이트 스페이서의 외측벽에 인접한 상기 반도체기판의 표면에 P형 고농도 불순물 영역이 위치한다.

<37>       상기 제1 및 제2 돌출부들의 측벽들은 수직한 프로파일, 음의 경사진 프로파일 또는 양의 경사진 프로파일을 갖는다. 여기서, 상기 음의 경사진 프로파일은 상기 돌출부들의 상부폭들이 그것의 하부폭들보다 넓은 것을 의미하고, 상기 양의 경사진 프로파일은 상기 돌출부들의 상부폭들이 그들의 하부폭들보다 좁은 것을 의미한다.

<38>       상기 제2 돌출부 하부의 상기 반도체기판의 표면 및 상기 제2 스페이서 하부의 상기 반도체기판의 표면에 각각 제1 및 제2 P형 저농도 불순물 영역이 위치할 수 있다. 여기서, 상기 제2 P형 저농도 불순물 영역은 상기 제1 P형 저농도 불순물 영역보다 깊고 상기 제1 P형 저농도 불순물 영역에 인접한다. 따라서, 상기 제2 P형 저농도 불순물 영역은 상기 제1 P형 저농도 불순물 영역 및 상기 P형 고농도 불순물 영역 사이에 개재된다. 이와는 달리, 상기 제1 및 제2 P형 저농도 불순물 영역들 대신에 상기 P형 고농도 불순물 영역의 적어도 측벽을 둘러싸는 N

형 포켓 불순물 영역(N-type pocket impurity region)이 배치될 수도 있다. 상기 N형 포켓 불순물 영역은 상기 제2 돌출부 하부의 상기 반도체기판의 표면까지 연장될 수 있다.

<39> 본 발명의 다른 양태에 따르면, 모스 트랜지스터의 제조방법이 제공된다. 이 방법은 반도체기판 상에 완충막(buffer layer) 및 몰딩막(molding layer)을 차례로 형성하는 것을 포함한다. 상기 몰딩막 및 상기 완충막을 관통하는 게이트 패턴 그루브를 형성한다. 상기 게이트 패턴 그루브는 상기 반도체기판의 소정영역을 노출시키고 상기 완충막 내에 형성된 언더컷 영역을 갖는다. 상기 노출된 반도체기판 상에 게이트 절연막을 형성한다. 상기 언더컷 영역을 포함하는 게이트 패턴 그루브 내에 게이트 패턴을 형성한다. 이에 따라, 상기 게이트 패턴은 "역 T"형태를 갖는다. 다시 말해서, 상기 "역 T"형태의 게이트 패턴은 상기 언더컷 영역을 채우는 돌출부를 갖는다. 이어서, 상기 몰딩막 및 완충막을 제거한다. 그 결과, 상기 돌출부 및 상기 돌출부와 인접한 상기 반도체기판 사이에 단차가 만들어진다(created). 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체기판에 불순물 이온들을 주입한다. 이때, 상기 이온주입 공정의 에너지를 적절히 조절하여 상기 불순물 이온들의 적어도 소량을 상기 돌출부 하부의 상기 반도체기판에 주입한다. 이에 따라, 상기 돌출부 하부의 상기 반도체기판의 표면에 제1 저농도 불순물 영역이 형성되고, 상기 돌출부의 측벽에 인접한 상기 반도체기판의 표면에 제2 저농도 불순물 영역이 형성된다. 상기 제2 저농도 불순물 영역은 상기 제1 저농도 불순물 영역보다 깊게 형성된다. 상기 게이트 패턴의 측벽 상에 게이트 스페이서를 형성한다. 상기 게이트 패턴 및 상기 게이트 스페이서를 이온주입 마스크로 사용하여 상기 반도체기판에 불순물 이온들을 주입하여 상기 게이트 스페이서의 외측벽에 인접한 상기 반도체기판의 표면에 고농도 불순물 영역을 형성한다.

- <40>      상기 언더컷 영역을 포함하는 상기 게이트 패턴 그루브를 형성하는 것은 상기 몰딩막을 패터닝하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성하는 것과, 상기 노출된 완충막을 등방성 식각하여 상기 반도체기판의 소정영역을 노출시킴과 동시에 상기 완충막 내에 언더컷 영역을 형성하는 것을 포함한다. 그 결과 "역 T형"의 게이트 패턴 그루브가 형성된다.
- <41>      이때, 상기 언더컷 영역의 측벽은 수직한 프로파일(vertical profile) 또는 음의 경사진 프로파일을 갖도록 형성된다. 상기 몰딩막의 두께에 따라 상기 완충막 내에 형성되는 언더컷 영역은 수직한 측벽 프로파일 또는 양의 경사진 프로파일을 가질 수 있다. 상기 몰딩막의 두께가 상대적으로 두꺼우면, 상기 등방성 식각시 사용되는 식각용액이 측면 방향으로 잘 침투하고 또 상기 몰딩막의 상부는 그 하부에 비해서 식각용액에 노출되는 시간이 상대적으로 많기 때문에, 상기 언더컷 영역은 음의 경사진 프로파일을 갖는다. 예컨대, 상기 몰딩막이 약 300 내지 500 Å 정도의 두께로 형성되면 상기 언더컷 영역의 측벽은 양의 경사진 프로파일을 가진다. 결과적으로, 상기 게이트 패턴은 상기 언더컷 영역을 채우는 돌출부를 갖는 "역 T" 형태를 갖도록 형성되고, 상기 돌출부의 측벽은 음의 경사진 프로파일을 갖는다.
- <42>      반면 약 300 Å 이하로 형성되면, 상기 언더컷 영역의 측벽은 수직한 프로파일을 갖는다. 결과적으로, 상기 게이트 패턴은 상기 언더컷 영역을 채우는 돌출부를 갖는 "역 T" 형태를 갖도록 형성되고, 상기 돌출부의 측벽은 수직한 측벽 프로파일을 갖는다. 한편, 이 경우 상기 몰딩막이 매우 얇게 형성되면, 예컨대 100 Å 이하로 형성되면, 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 반도체 기판에 불순물 이온들을 주입할때 이온주입에 따른 손상이 상기 돌출부의 상부 에지에 가해진다. 그 결과, 후속 세정 공정 등에서 돌출부 상부의 에지

가 일부 제거되어 상기 돌출부의 측벽은 양의 경사진 측벽 프로파일을 갖게된다. 즉, 상기 돌출부의 상부 폭보다 하부 폭이 더 넓게 된다.

<43>       상기 게이트 패턴 그루브를 형성하는 다른 방법은 상기 몰딩막 상에 캐핑막을 형성하는 것을 포함한다. 상기 캐핑막을 패터닝하여 상기 몰딩막의 소정영역을 노출시키는 트렌치 영역을 형성한다. 상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성한다. 상기 캐핑막 및 상기 트렌치 스페이서를 식각 마스크로 사용하여 상기 몰딩막을 식각하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성한다. 이에 따라, 상기 예비 게이트 패턴 그루브는 상기 트렌치 스페이서의 폭을 적절히 조절함으로써 최소 디자인룰보다 작은 폭을 갖도록 형성될 수 있다. 이어서, 상기 노출된 완충막을 등방성 식각하여 상기 반도체 기판의 소정영역을 노출시킴과 동시에 상기 완충막 내에 언더컷 영역을 형성한다. 그 결과 "역 T형"의 게이트 패턴 그루브가 형성된다.

<44>       상기 게이트 패턴 그루브를 형성하는 또 다른 방법은 상기 몰딩막 상에 캐핑막을 형성하는 것을 포함한다. 이어서, 상기 캐핑막 및 상기 몰딩막을 연속적으로 식각하여 상기 캐핑막 및 상기 몰딩막 내에 트렌치 영역을 형성한다. 이때, 상기 몰딩막은 상기 몰딩막의 초기두께보다 작은 두께만큼 식각되는 것이 바람직하다. 이에 따라, 상기 트렌치 영역이 형성된 후에도, 상기 완충막은 여전히 상기 몰딩막의 일 부분에 의해 덮여져 있다. 상기 트렌치 영역을 갖는 반도체기판의 전면 상에 상기 콘포말한 스페이서 절연막을 형성한다. 상기 스페이서 절연막 및 상기 몰딩막을 차례로 식각하여 상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성함과 동시에 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성한다. 이때, 상기 트렌치 스페이서가 형성된 직후에 상기 트렌치 영역의 바닥에 몰딩막이 노출된다. 상기 노출된 몰딩막의 두께는 상기한 바와 같이 그것의 초기두께보다 얇다. 따라서, 상기 노출된 몰딩막에

대한 과잉식각 시간을 감소시킬 수 있다. 결과적으로, 상기 예비 게이트 패턴 그루브를 형성하는 동안 상기 반도체기판에 가해지는 식각손상을 최소화시킬 수 있다. 이어서, 상기 노출된 완충막을 등방성 식각하여 상기 반도체 기판의 소정 영역을 노출시킴과 동시에 상기 완충막 내에 언더컷 영역을 형성한다. 그 결과 "역 T형"의 게이트 그루브 패턴이 형성된다.

<45> 또한, 문턱전압 조절을 위한 이온주입을 상기 예비 게이트 패턴 그루브 패턴을 형성한 후 실시하거나, 또는 상기 몰딩막에 대한 등방성 식각을 진행 한 후 실시할 수 있다.

<46> 이에 더하여, 본 발명에 따른 모스 트랜지스터의 제조방법은 상기 몰딩막 및 상기 완충막을 제거하기 전에 상기 게이트 패턴 내에 불순물 이온들을 주입하는 것과, 상기 이온주입된 게이트 패턴을 열처리하여 상기 게이트 패턴을 상기 불순물 이온들로 균일하게 도우핑시킴과 동시에 상기 게이트 패턴 내의 이온주입 손상(ion implantation damage)을 치유하는 것을 더 포함할 수 있다.

<47> 또한, 본 발명에 따른 모스 트랜지스터의 제조방법은 상기 게이트 패턴의 상부면 및 상기 고농도 불순물 영역의 표면을 노출시키는 것과, 상기 노출된 게이트 패턴 및 상기 노출된 고농도 불순물 영역 상에 선택적으로 금속 실리사이드막을 형성하는 것을 더 포함할 수 있다.

<48> 본 발명의 일 실시예에 따르면, 엔모스 트랜지스터들 및 피모스 트랜지스터들을 갖는 상보형 모스 트랜지스터들(complementary MOS transistors)의 제조방법이 제공된다. 이 방법은 엔모스 트랜지스터 영역 및 피모스 트랜지스터 영역을 갖는 반도체기판을 준비하는 것과, 상기 엔모스 트랜지스터 영역 및 상기 피모스 트

랜지스터 영역에 각각 제1 및 제2 활성영역을 한정하는 것을 포함한다. 상기 제1 및 제2 활성영역을 갖는 반도체기판의 전면 상에 완충막 및 몰딩막을 차례로 형성한다. 상기 몰딩막 및 상기 완충막을 관통하는 제1 및 제2 게이트 패턴 그루브들을 형성한다. 상기 제1 및 제2 게이트 패턴 그루브들은 각각 상기 제1 및 제2 활성영역들을 노출시킨다. 상기 제1 및 제2 게이트 패턴 그루브들 내에 각각 제1 및 제2 언도우프트 게이트 패턴들을 형성한다. 상기 제1 언도우프트 게이트 패턴 내에 N형 불순물 이온들을 주입한다. 상기 이온주입된 제1 언도우프트 게이트 패턴을 열처리하여 상기 제1 언도우프트 게이트 패턴을 상기 N형 불순물 이온들로 균일하게 도우핑시킴과 동시에 상기 제1 언도우프트 게이트 패턴 내의 이온주입 손상을 치유한다. 이어서, 상기 몰딩막을 제거한다.

<49>        상기 열처리 공정은 급속 열처리 공정을 사용하여 실시할 수 있다. 상기 급속 열처리 공정은 900℃ 내지 1200℃의 온도 범위 내에서 실시하는 것이 바람직하다. 또한, 상기 급속 열처리 공정은 질소 분위기에서 실시하는 것이 바람직하다.

<50>        이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<51>        도 8은 본 발명의 제1 실시예에 따른 모스 트랜지스터를 설명하기 위한 단면도이다.



<52> 도 8을 참조하면, 반도체기판(101)의 소정영역에 활성영역이 한정된다. 상기 반도체기판(101)은 P형 실리콘 기판 또는 N형 실리콘 기판일 수 있다. 상기 활성영역은 소자분리막(도시하지 않음)에 의해 한정된다. 상기 활성영역의 소정영역의 상부를 가로질러 "역 T"형태의 게이트 전극(reverse T-shaped gate electrode; 129 또는 145)이 위치한다. 여기서, 상기 게이트 전극(129)은 N형 게이트 전극을 나타내고, 상기 게이트 전극(145)은 P형 게이트 전극을 나타낸다. 상기 게이트 전극(129 또는 145)은 그 것의 하부 측벽으로부터 수평방향을 향하여 연장된 돌출부(129' 또는 145')를 갖는다. 상기 돌출부(129')는 상기 N형 게이트 전극(129)의 하부 측벽으로부터 연장된 제1 돌출부를 나타내고, 상기 돌출부(145')는 상기 P형 게이트 전극(145)의 하부 측벽으로부터 연장된 제2 돌출부를 나타낸다. 상기 돌출부(129' 또는 145')는 도 8에 도시된 바와 같이 수직한 측벽 프로파일을 갖는다. 상기 게이트 전극(129 또는 145) 및 상기 반도체기판(101) 사이에는 게이트 절연막(121)이 개재된다. 상기 게이트 전극(129 또는 145)의 측벽은 게이트 스페이서(139a)에 의해 덮여진다. 결과적으로, 상기 돌출부(129' 또는 145')의 측벽 역시 상기 게이트 스페이서(139a)에 의해 덮여진다.

<53> 상기 돌출부(129' 또는 145') 하부의 상기 활성영역의 표면에는 제1 저농도 불순물 영역(131a 또는 133a)이 위치한다. 또한, 상기 게이트 스페이서(139a) 하부의 상기 반도체기판(101)의 표면에 제2 저농도 불순물 영역(131b 또는 133b)이 위치한다. 여기서, 상기 제1 및 제2 저농도 불순물 영역들(131a 및 133a)은 N형의 불순물 이온들로 도우핑된 영역들을 나타내고, 상기 제1 및 제2 불순물 영역들(131b 및 133b)은 P형의 불순물 이온들로 도우핑된 영역들을 나타낸다. 상기 제2 저농도 불순물 영역(131b 또는 133b)은 상기 제1 저농도 불순물 영역(131a 또는 133a)보다 깊다.

<54> 이에 더하여, 상기 게이트 스페이서(139a)의 외측벽과 인접한 상기 반도체기판(101)의 표면에는 고농도 불순물 영역(141 또는 143)이 위치한다. 결과적으로, 상기 제2 저농도 불순물 영역(131b 또는 133b)은 상기 제1 저농도 불순물 영역(131a 또는 133a) 및 상기 고농도 불순물 영역(141 또는 143) 사이에 위치한다. 상기 고농도 불순물 영역(141 또는 143)의 불순물 농도는 상기 제1 및 제2 저농도 불순물 영역들의 불순물 농도보다 높다. 여기서, 상기 고농도 불순물 영역(141)은 N형의 불순물 이온들로 도우핑된 영역을 나타내고, 상기 고농도 불순물 영역(143)은 P형의 불순물 이온들로 도우핑된 영역을 나타낸다. 상기 제1 저농도 불순물 영역(131a 또는 133a) 및 상기 제2 저농도 불순물 영역(131b 또는 133b)은 엘디디 영역(131 또는 133)을 구성한다. 이에 따라, 상기 엘디디 영역(131 또는 133)의 전기적인 저항은 상기 제1 저농도 불순물 영역(131a 또는 133a)보다 깊은 상기 제2 저농도 불순물 영역(131b 또는 133b)의 존재에 기인하여 최소화시킬 수 있다. 이에 반하여, 상기 제1 저농도 불순물 영역(131a 또는 133a)은 상기 게이트 전극(129 또는 145) 하부의 채널 영역에 인접하고 상기 제2 저농도 불순물 영역(131b 또는 133b)에 비하여 얇다. 따라서, 도 8에 보여진 모스 트랜지스터의 단채널 효과를 현저히 억제시킬 수 있다.

<55> 더 나아가서, 상기 게이트 전극(129 또는 145)의 측벽 및 상기 제2 저농도 불순물 영역(131b 또는 133b)의 표면은 치유 열산화막(curing thermal oxide layer; 135)에 의해 덮여질 수 있다. 이 경우에, 상기 게이트 스페이서(139a)는 상기 치유 열산화막(135) 상에 위치한다. 또한, 상기 치유 열산화막(135) 및 상기 게이트 스페이서(139a) 사이에 스페이서 식각저지막(spacer etch stop layer; 137)이 개재될 수도 있다. 상기 스페이서 식각저지막(137)은 상기 게이트 스페이서(139a)에 대하여 식각선택비를 갖는 절연막으로 이루어진 것이 바람직하다.

- <56>      상기 게이트 전극(129 또는 145)의 상부면 및 상기 고농도 불순물 영역(141 또는 143)의 표면 상에 금속 실리사이드막(147)이 위치할 수 있다. 이 경우에, 상기 제1 저농도 불순물 영역(131a 또는 133a)보다 깊은 상기 제2 저농도 불순물 영역(131b 또는 133b)의 존재로 인하여 상기 금속 실리사이드막(147) 및 상기 반도체기판(101) 사이의 누설전류 특성이 저하되는 것을 방지할 수 있다.
- <57>      도 8에 보여진 모스 트랜지스터가 엔모스 트랜지스터라면, 상기 반도체기판(101)은 P형 반도체기판 또는 P웰일 수 있다. 이 경우에, 상기 게이트 전극은 상기 N형 게이트 전극(129)에 해당하고, 상기 제1 저농도 불순물 영역, 제2 저농도 불순물 영역들 및 상기 고농도 불순물 영역은 각각 상기 제1 N형 저농도 불순물 영역(131a), 상기 제2 N형 저농도 불순물 영역(131b) 및 상기 N형 고농도 불순물 영역(141)에 해당한다. 이와 반대로, 도 8에 보여진 모스 트랜지스터가 피모스 트랜지스터라면, 상기 반도체기판(101)은 N형 반도체기판 또는 N웰일 수 있다. 이 경우에, 상기 게이트 전극은 상기 P형 게이트 전극(145)에 해당하고, 상기 제1 저농도 불순물 영역, 제2 저농도 불순물 영역들 및 상기 고농도 불순물 영역은 각각 상기 제1 P형 저농도 불순물 영역(133a), 상기 제2 P형 저농도 불순물 영역(133b) 및 상기 P형 고농도 불순물 영역(143)에 해당한다.
- <58>      도 9는 본 발명의 제2 실시예에 따른 모스 트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 모스 트랜지스터는 게이트 전극의 형태 및 엘디디 영역의 형태에 있어서 도 8에 보여진 모스 트랜지스터와 다르다. 따라서, 본 실시예에서는 상기 게이트 전극 및 상기 엘디디 영역만이 자세히 설명될 것이다.
- <59>      도 9를 참조하면, 도 8에서와 같이 반도체기판(101) 상에 "역 T"형태의 게이트 전극(163 또는 169)이 위치한다. 상기 게이트 전극(163 또는 169)은 그것의 하부측벽으로부터 수평방향

을 향하여 연장된 돌출부(163' 또는 169')를 포함한다. 상기 돌출부(163' 또는 169')의 측면은 제1 실시예와는 달리 양의 경사진 프로파일(positive sloped profile)을 갖는다. 즉, 상기 돌출부(163' 또는 169')의 하부폭은 그것의 상부폭보다 넓다.

<60> 이에 더하여, 상기 돌출부(163' 또는 169') 하부에 위치하는 제1 저농도 불순물 영역(165a 또는 167a)의 곡률(curvature)은 제1 실시예에서 보여진 상기 제1 저농도 불순물 영역(131a 또는 133a)의 곡률(curvature)과 다를 수 있다. 즉, 상기 제1 저농도 불순물 영역(165a 또는 167a)의 곡률은, 도 9에 도시된 바와 같이, 제1 실시예의 상기 제1 저농도 불순물 영역(131a 또는 133a)의 곡률에 비하여 클 수 있다. 이는, 상기 제1 저농도 불순물 영역들(131a, 133a, 165a 또는 167a)이 상기 돌출부(129', 145', 163' 또는 169')를 관통하는 불순물 이온들에 의해 도우핑되는 영역이기 때문이다. 따라서, 본 실시예에 따르면, 제1 실시예에 비하여 모스 트랜지스터의 핫 캐리어 효과(hot carrier effect)를 현저히 억제시킬 수 있다. 한편, 상기 제1 저농도 불순물 영역(165a 또는 167a)에 인접한 제2 저농도 불순물 영역(165b 또는 167b)은 제1 실시예의 제2 저농도 불순물 영역(131b 또는 133b)과 동일한 형태를 갖는다. 상기 제1 저농도 불순물 영역(165a 또는 167a) 및 상기 제2 저농도 불순물 영역(165b 또는 167b)는 엘디디 영역(165 또는 167)을 구성한다.

<61> 도 10은 본 발명의 제3 실시예에 따른 모스 트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 모스 트랜지스터는 게이트 전극의 형태에 있어서 도 8에 보여진 모스 트랜지스터와 다르다.

<62> 도 10을 참조하면, 도 8에서와 같이 반도체기판(101) 상에 "역 T"형태의 게이트 전극(213 또는 215)이 위치한다. 상기 게이트 전극(213 또는 215)은 그것의 하부측벽으로부터 연장된 돌출부(213' 또는 215')를 포함한다. 상기 돌출부(213' 또는 215')의 측면은, 도 10에 도시된 바

와 같이, 음의 경사진 프로파일을 갖는다. 즉, 상기 돌출부(213' 또는 215')의 상부폭은 그것의 하부폭보다 넓다. 이에 따라, 상기 엘디디 영역(131 또는 133) 및 상기 게이트 전극(213 또는 215) 사이의 기생 커패시턴스(parasitic capacitance)가 제1 및 제2 실시예들에 비하여 현저히 감소된다. 결과적으로, 모스 트랜지스터의 동작속도(operating speed)를 향상시킬 수 있다.

<63> 다음에, 본 발명에 따른 모스 트랜지스터들의 제조방법들을 설명하기로 한다.

<64> 도 11 내지 도 20은 본 발명의 제1 실시예에 따른 상보형 모스 트랜지스터들(complementary MOS transistors)의 제조방법을 설명하기 위한 단면도들이다. 각 도면들에 있어서, 참조부호들 "a" 및 "b"로 표시된 영역들은 각각 엔모스 트랜지스터 영역 및 피모스 트랜지스터 영역을 나타낸다.

<65> 도 11을 참조하면, 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b)을 갖는 반도체기판(101)을 준비한다. 상기 반도체기판(101)의 소정영역에 소자분리막(도시하지 않음)을 형성하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b)에 각각 제1 및 제2 활성영역들을 한정한다. 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b)에 각각 P웰(105a) 및 N웰(105b)을 형성한다. 상기 제1 및 제2 활성영역들은 상기 P웰(105a) 및 N웰(105b)을 형성한 후에 한정될 수도 있다. 상기 반도체기판(101) 상에 완충막(103)을 형성한다. 상기 완충막(103)은 열산화막 또는 CVD 산화막으로 형성할 수 있다. 예컨대, 상기 완충막은 100Å 내지 300Å의 두께로 형성한다.

<66> 도 12a를 참조하면, 상기 완충막(103) 상에 몰딩막(107) 및 캐핑막(109)을 차례로 형성한다. 상기 몰딩막(107)은 상기 완충막(103)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 상기 몰딩막(107)은 실리콘 질화막으로 형성하는 것이 바람직하다. 또한

, 상기 캐핑막(109)은 상기 몰딩막(107)에 대하여 식각선택비를 갖는 물질막, 예컨대 CVD 산화막으로 형성하는 것이 바람직하다. 좀 더 구체적으로, 상기 캐핑막(109)은 고밀도 플라즈마 산화막(HDP oxide layer; high density plasma oxide layer)으로 형성할 수 있다.

<67>       상기 캐핑막(109) 및 상기 몰딩막(107)을 연속적으로 패터닝하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 제1 예비 게이트 패턴 그루브(113a) 및 제2 예비 게이트 패턴 그루브(113b)를 형성한다. 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a 및 113b)은 각각 상기 몰딩막(107)의 소정영역을 노출시킨다. 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b)을 형성하는 공정은 이방성 식각공정을 사용하여 실시하는 것이 바람직하다. 이에 따라, 상기 몰딩막(107)을 관통하는 상기 예비 게이트 패턴 그루브들(113a, 113b)의 측벽은 수직한 프로파일을 갖는다. 상기 캐핑막(109)을 형성하는 공정은 생략될 수도 있다.

<68>       도 13a를 참조하면, 상기 제1 예비 게이트 패턴 그루브(113a) 내에 제1 불순물 이온들을 주입하여 상기 엔모스 트랜지스터 영역(a) 내의 상기 희생막(115) 아래에 선택적으로 제1 문턱전압 이온주입 영역(first threshold voltage ion implantation region; 117a)을 형성한다. 또한, 상기 제2 예비 게이트 패턴 그루브(113b) 내에 제2 불순물 이온들을 주입하여 상기 피모스 트랜지스터 영역(b) 내의 상기 희생막(115) 아래에 선택적으로 제2 문턱전압 이온주입 영역(second threshold voltage ion implantation region; 117b)을 형성한다. 상기 제1 불순물 이온들의 도전형은 상기 P웰(105a) 및 N웰(105b)의 표면 농도들에 따라 상기 제2 불순물 이온들의 도전형과 동일하거나 다를 수 있다. 또한, 상기 제1 불순물 이온들의 도전형 및 상기 제2 불순물 이온들의 도전형이 동일한 경우에, 상기 제1 및 제2 불순물 이온들은 1회의 이온주입 공정(a single ion implantation process)을 사용하여 주입되거나 서로 다른 두 단계의 이온주

입 공정들(two separate ion implantation processes)을 사용하여 주입될 수도 있다. 상기 제1 및 제2 문턱전압 이온주입 공정들은 생략할 수도 있다.

<69> 도 14a를 참조하면, 상기 노출된 완충막(103)을 등방성 식각하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터(b) 내에 각각 상기 P웰(105a) 및 상기 N웰(105b)의 표면을 노출시키는 제1 및 제2 게이트 패턴 그루브들(119a, 119b)을 형성한다. 그 결과, 상기 제1 게이트 패턴 그루브(119a)는 상기 P웰(105a)의 소정영역을 노출시키고 상기 완충막(103) 내에 형성된 언더컷 영역을 포함한다. 이와 마찬가지로, 상기 제2 게이트 패턴 그루브(119b)는 상기 N웰(105b)의 소정영역을 노출시키고 상기 완충막(103) 내에 형성된 언더컷 영역을 포함한다. 이 경우에, 상기 언더컷 영역들의 측벽들(120)은 수직한 프로파일을 갖는다. 상기 등방성 식각 공정은 습식 식각용액(wet etchant)을 사용하여 실시할 수 있다. 예를 들면, 상기 완충막(103)이 실리콘 산화막인 경우에, 상기 등방성 식각 공정은 불산용액(HF solution; hydrofluoric acid solution) 또는 완충 산화막 식각용액(BOE; buffered oxide etchant)을 사용하여 실시한다.

<70> 도 13a 단계에서 상기 제1 및 제2 문턱전압 이온주입 공정들은 생략할 경우, 상기 등방성 식각 공정을 진행한 이후에 실시할 수 있다.

<71> 한편, 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b) 및 상기 제1 및 제2 게이트 패턴 그루브들(119a, 119b)은 도 12a 내지 도 14a에서 설명된 방식과 다른 제1 변형된 방법(first modified method)을 사용하여 형성할 수 있다. 상기 제1 변형된 방법은 도 12b 내지 도 14b를 참조하여 설명될 수 있다.

<72> 도 12b를 참조하면, 도 11에서 설명된 상기 캐핑막(109)을 패터닝하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 제1 및 제2 트렌치 영역들

(109a, 109b)을 형성한다. 상기 제1 및 제2 트렌치 영역들(109a, 109b)은 상기 몰딩막(107)의 소정영역들을 노출시킨다. 상기 제1 및 제2 트렌치 영역들(109a, 109b)의 측벽들 상에 통상의 방법을 사용하여 트렌치 스페이서들(111)을 형성한다. 상기 트렌치 스페이서들(111)은 CVD 산화막, 예컨대 플라즈마 TEOS막(plasma tetraethylorthosilicate layer)으로 형성할 수 있다. 상기 트렌치 스페이서들(111) 및 상기 캐핑막(109)을 식각 마스크로 사용하여 상기 몰딩막(107)을 이방성 식각한다. 그 결과, 상기 완충막(103)의 소정영역을 노출시키는 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b)이 형성된다. 이 변형된 방법에서, 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b)은 상기 트렌치 스페이서들(111)의 폭을 적절히 조절함으로써 최소 디자인룰보다 작은 폭을 갖도록 형성할 수 있다. 상기 몰딩막(103)의 소정영역들을 관통하는 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b)의 측벽들은 도 12a에서 보여진 바와 같이 수직한 프로파일을 갖는다.

<73>        도 13b 및 도 14b를 참조하면, 도 13a에서와 동일한 방법을 사용하여 상기 제1 및 제2 문턱전압 이온주입 영역들(117a, 117b)을 형성한다. 상기 제1 및 제2 문턱전압 이온주입 영역들(117a, 117b)을 형성하는 공정들은 생략될 수도 있다. 이어서, 상기 노출된 완충막(103)을 등방성 식각하여 도 14a에서 설명된 상기 제1 및 제2 게이트 패턴 그루브들(119a, 119b)을 형성한다.

<74>        상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b) 및 상기 제1 및 제2 게이트 패턴 그루브들(119a, 119b)은 도 12a 내지 도 14a 및 도 12b 내지 도 14b에서 설명된 방식들과 또 다른 제2 변형된 방법을 사용하여 형성할 수도 있다. 상기 제2 변형된 방법은 도 12c 내지 도 14c를 참조하여 설명될 수 있다.



<75> 도 12c를 참조하면, 상기 캐핑막(109) 및 상기 몰딩막(107)을 식각하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 제1 및 제2 트렌치 영역들(110a, 110b)을 형성한다. 상기 제1 및 제2 트렌치 영역들(110a, 110b)은 상기 몰딩막(107) 및 상기 캐핑막(109)의 전체두께(total thickness)보다 작은 깊이를 갖도록 형성한다. 결과적으로, 상기 제1 및 제2 트렌치 영역들(113a, 113b)의 아래에 상기 몰딩막(107)의 일 부분이 잔존한다. 상기 트렌치 영역들(110a, 110b)을 갖는 반도체기판 상에 콘포말한 스페이서 절연막을 형성한다. 상기 스페이서 절연막은 상기 몰딩막(107)과 동일한 물질막, 즉 실리콘 질화막으로 형성하는 것이 바람직하다.

<76> 상기 스페이서 절연막 및 상기 몰딩막(107)의 일 부분을 이방성 식각하여 상기 트렌치 영역들(110a, 110b)의 측벽들 상에 트렌치 스페이서들(112)을 형성함과 동시에 상기 완충막(103)의 소정영역을 노출시키는 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b)을 형성한다. 이때, 상기 스페이서 절연막 및 상기 몰딩막(107)의 일 부분을 완전히 식각하기 위하여 요구되는 과잉식각 시간은 상기 제1 변형된 방법에 비하여 감소된다. 이에 따라, 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b)을 형성하는 동안 상기 반도체기판에 가해지는 식각 손상을 현저히 감소시킬 수 있다.

<77> 도 13c 및 도 14c를 참조하면, 도 13a에서와 동일한 방법을 사용하여 상기 제1 및 제2 문턱전압 이온주입 영역들(117a, 117b)을 형성한다. 상기 제1 및 제2 문턱전압 이온주입 영역들(117a, 117b)을 형성하는 공정들은 생략될 수도 있다. 이어서, 상기 노출된 완충막(103)을 등방성 식각하여 도 14a에서 설명된 상기 제1 및 제2 게이트 패턴 그루브들(119a, 119b)을 형성한다.

<78> 도 15를 참조하면, 상기 제1 및 제2 게이트 패턴 그루브들(119a, 119b)에 의해 노출된 상기 P웰(105a) 및 상기 N웰(105b)의 표면들 상에 게이트 절연막(121)을 형성한다. 상기 게이트 절연막(121)은 열산화막으로 형성할 수 있으며, 상기 완충막(103)보다 얇은 두께로 형성한다. 이에 따라, 상기 완충막(103) 내에 상기 언더컷 영역이 여전히 잔존한다. 상기 게이트 절연막(121)을 갖는 반도체기판 상에 제1 및 제2 게이트 패턴 그루브들(119a, 119b)을 채우는 언도우프트 반도체막을 형성한다. 상기 언도우프트 반도체막은 언도우프트 폴리실리콘막 또는 언도우프트 비정질 실리콘막으로 형성할 수 있다.

<79> 상기 몰딩막(107)의 상부면이 노출될때까지 상기 언도우프트 반도체막 및 상기 캐핑막(109)을 평탄화시키어 상기 제1 게이트 패턴 그루브(119a) 및 상기 제2 게이트 패턴 그루브(119b) 내에 각각 제1 및 제2 게이트 패턴들(123n, 123p)을 형성한다. 이에 따라, 상기 제1 게이트 패턴(123n)은 상기 엔모스 트랜지스터 영역(a) 내의 상기 언더컷 영역을 채우는 제1 돌출부(123n')를 포함한다. 이와 마찬가지로, 상기 제2 게이트 패턴(123p)은 상기 피모스 트랜지스터 영역(b) 내의 상기 언더컷 영역을 채우는 제2 돌출부(123p')를 포함한다. 이 경우에, 상기 제1 및 제2 돌출부들(123n', 123p')의 측벽들은 수직한 프로파일을 갖는다. 결과적으로, 상기 제1 및 제2 게이트 패턴들(123n, 123p)은 "역 T" 형태(reverse T shape)를 갖는다.

<80> 도 16을 참조하면, 상기 피모스 트랜지스터 영역(b) 상에 포토레지스트 패턴(125)을 형성한다. 상기 포토레지스트 패턴(125)을 이온주입 마스크로 사용하여 상기 제1 게이트 패턴(123n)의 표면에 N형 불순물 이온들(127)을 선택적으로 주입한다. 상기 N형 불순물 이온들(127)은 인 이온들(phosphorus ions) 또는 비소 이온들(arsenic ions)일 수 있다. 바람직하게는, 상기 N형 불순물 이온들(127)은 상기 비소 이온들보다 높은 확산도를 갖는 상기 인 이온들이다. 상기 N형 불순물 이온들은  $1 \times 10^{15}$  내지  $5 \times 10^{15}$  atoms/cm<sup>2</sup> 정도의 높은 도우즈로

주입된다. 이에 따라, 상기 제1 게이트 패턴(123n)의 표면에 이온주입 손상이 가해져 상기 제1 게이트 패턴(123n)의 표면에 결정결함들을 생성시킨다. 상기 결정결함들을 갖는 부분(상기 제1 게이트 패턴(123n)의 상부 영역)은 후속의 습식식각 공정 동안 제거될 수 있다. 이에 따라, 상기 제1 게이트 패턴(123n) 내의 상기 결정결함들은 제거되어야 한다.

<81> 도 17을 참조하면, 상기 포토레지스트 패턴(125)을 제거한다. 이어서, 상기 제1 게이트 패턴(123n)을 열처리한다. 이에 따라, 상기 제1 게이트 패턴(123n)은 상기 N형 불순물 이온들로 균일하게 도우핑되어 N형 게이트 전극(129)을 형성한다. 그 결과, 상기 N형 게이트 전극(129)은 N형 돌출부(N-type protrusion; 129')를 갖는다. 상기 열처리 공정은 상기 이온주입 공정 동안 제1 게이트 패턴(123n) 내에 가해진 손상(damage)을 치유한다. 이에 따라, 상기 제1 게이트 패턴(123n) 내의 결정결함이 제거된다. 상기 열처리 공정은 급속 열처리 공정을 사용하여 실시하는 것이 바람직하다. 이 경우에, 상기 급속 열처리 공정은 900℃ 내지 1200℃의 고온 및 질소가스 분위기 내에서 실시한다. 상기 급속 열처리 공정은 약 10초동안 실시한다.

<82> 계속해서, 상기 몰딩막(107) 및 상기 완충막(103)을 제거하여 상기 N형 게이트 전극(129) 및 상기 제2 게이트 패턴(123p)의 측벽들을 노출시킨다. 상기 몰딩막(107)은 150℃ 내지 160℃의 온도로 가열된 뜨거운 인산용액(hot phosphoric acid; hot  $H_3PO_4$ )을 사용하여 제거할 수 있다. 상기 몰딩막(107)을 제거하는 동안 상기 제2 게이트 패턴(123p)와 아울러서 상기 N형 게이트 전극(129)이 식각되는 것이 방지된다. 이는, 상술한 바와 같이 상기 N형 게이트 전극(129) 내에 어떠한 결정결함들도 존재하지 않기 때문이다. 한편, 상기 인산 용액은 상기 완충막(103)의 일 부분을 식각하여 상기 N형 돌출부(129')의 측벽 및 상기 제2 돌출부(123p')의

측벽을 노출시킬 수 있다. 이에 따라, 상기 P웰(105a) 및 N웰(105b) 상에 상기 초기의 완충막(103)보다 얇은 완충막 잔여물(buffer layer residue; 도시하지 않음)이 잔존할 수도 있다. 이 경우에, 상기 완충막 잔여물을 별도의 식각 공정(another etching process)을 사용하여 추가로 제거하는 것을 생략할 수도 있다. 결과적으로, 상기 몰딩막(107)을 습식 식각용액을 사용하여 제거할지라도, 상기 N형 게이트 전극(129)에 어떠한 물리적인 손상이 가해지는 것을 방지할 수 있다. 이에 따라, 상기 N형 게이트 전극(129)은 상기 제1 게이트 패턴(123n)와 동일한 모양(configuration)를 갖는다.

<83>        상기 N형 게이트 전극(129)을 이온주입 마스크로 사용하여 상기 제1 활성영역 내에 N형의 불순물 이온들을 선택적으로 주입하여 상기 N형 게이트 전극(129)의 아래에 엔채널 영역(N-channel region)을 한정함과 동시에 상기 엔채널 영역의 양 옆에 N형 저농도 불순물 영역들(131)을 형성한다. 이때, 도시하지는 않았지만 피모스 트랜지스터 영역(b)는 포토레지스트에 의해 보호된다. 상기 N형의 불순물 이온들은 약  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{14}$  atoms/cm<sup>2</sup> 정도의 도우즈로 주입한다. 또한, 상기 N형 불순물 이온들은 상기 N형 불순물 이온들의 적어도 일부가 상기 N형 돌출부(129')를 관통하도록 적절한 에너지로 주입된다. 이에 따라, 상기 N형 저농도 불순물 영역들(131)의 각각은 상기 N형 돌출부(129') 하부의 상기 제1 활성영역의 표면에 형성된 제1 N형 저농도 불순물 영역(131a) 및 상기 제1 N형 저농도 불순물 영역(131a)에 인접한 제2 N형 저농도 불순물 영역(131b)을 포함한다. 상기 제2 N형 저농도 불순물 영역(131b)이 상기 제1 N형 저농도 불순물 영역(131a)보다 깊도록 형성된다는 것은 자명하다.

<84>        이와 마찬가지로, 상기 제2 게이트 패턴(123p)을 이온주입 마스크로 사용하여 상기 제2 활성영역 내에 P형의 불순물 이온들을 선택적으로 주입하여 상기 제2 게이트 패턴(123p)의 아래에 피채널 영역(P-channel region)을 한정함과 동시에 상기 피채널 영역의 양 옆에 P형 저농

도 불순물 영역들(133)을 형성한다. 이때, 엔모스 트랜지스터 영역(a)는 포토레지스트에 의해 보호된다. 이에 따라, 상기 P형 저농도 불순물 영역들(133)의 각각은 상기 제2 돌출부(123p') 하부의 상기 제2 활성영역의 표면에 형성된 제1 P형 저농도 불순물 영역(133a) 및 상기 제1 P형 저농도 불순물 영역(133a)에 인접한 제2 P형 저농도 불순물 영역(133b)을 포함한다. 상기 제2 P형 저농도 불순물 영역(133b)이 상기 제1 P형 저농도 불순물 영역(133a)보다 깊도록 형성된다는 것은 자명하다. 한편, 상기 P형 저농도 불순물 영역들(133) 대신에 N형 포켓 불순물 영역들(N-type pocket impurity regions; 133')을 형성할 수도 있다. 상기 N형 포켓 불순물 영역들(133')은 피모스 트랜지스터의 단채널 효과를 개선하는데 있어서 효과적이다. 상기 N형 포켓 불순물 영역들(133')의 깊이들은 상기 P형 저농도 불순물 영역들(133)의 깊이들과 동일하거나 더 깊을 수 있다.

<85> 도 18을 참조하면, 상기 저농도 불순물 영역들(131 및 133)을 갖는 반도체기판을 열산화 시키어 상기 반도체기판의 전면 상에 치유 열산화막(curing thermal oxide layer; 135)을 형성한다. 상기 열산화 공정은 상기 N형 돌출부(129') 및 상기 제2 돌출부(123p') 아래의 상기 게이트 절연막(121)을 회복시키고 상기 반도체기판에 존재하는 손상을 치유한다. 상기 치유 열산화막(135) 상에 스페이서 식각저지막(spacer etch stop layer; 137) 및 스페이서 절연막(139)을 차례로 형성한다. 상기 스페이서 식각저지막(137)은 상기 스페이서 절연막(139)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 스페이서 절연막(139)을 실리콘 산화막으로 형성하는 경우에, 상기 스페이서 식각저지막(137)은 실리콘 질화막으로 형성할 수 있다. 이와 반대로, 상기 스페이서 절연막(139)을 실리콘 질화막으로 형성하는 경우에, 상기 스페이서 식각저지막(137)은 실리콘 산화막으로 형성할 수 있다. 여기서, 상기

스페이서 절연막(139)이 실리콘 질화막인 경우에, 상기 스페이서 식각저지막(137)은 형성하지 않을 수도 있다.

<86> 도 19를 참조하면, 상기 스페이서 절연막(139)를 이방성 식각하여 상기 N형 게이트 전극(129)의 측벽 및 상기 제2 게이트 패턴(123p)의 측벽 상에 각각 제1 게이트 스페이서(139a') 및 제2 게이트 스페이서(139a'')를 형성한다. 상기 N형 게이트 전극(129) 및 상기 제1 게이트 스페이서(139a')를 이온주입 마스크로 사용하여 상기 제1 활성영역 내에 N형 불순물 이온들을 주입하여 상기 제1 게이트 스페이서(139a')의 외측벽에 인접한 상기 제1 활성영역의 표면에 N형 고농도 불순물 영역들(141)을 형성한다. 상기 N형 저농도 불순물 영역들(131) 및 상기 N형 고농도 불순물 영역들(141)은 N형 소오스/드레인 영역들을 구성한다. 따라서, 상기 N형 고농도 불순물 영역들(141)은 상기 N형 소오스/드레인 영역들의 전기적인 저항을 감소시키기 위하여 상기 제2 N형 저농도 불순물 영역들(131b)보다 깊도록 형성하는 것이 바람직하다. 결과적으로, 상기 제2 N형 저농도 불순물 영역들(131b)은 상기 제1 게이트 스페이서(139a') 하부에 잔존하고 상기 제1 N형 저농도 불순물 영역들(131a) 및 상기 N형 고농도 불순물 영역들(141) 사이에 위치한다.

<87> 상기 제2 게이트 패턴(123p) 및 상기 제2 게이트 스페이서(139a'')를 이온주입 마스크로 사용하여 상기 제2 활성영역 내에 P형 불순물 이온들을 주입하여 상기 제2 게이트 스페이서(139a'')의 외측벽에 인접한 상기 제2 활성영역의 표면에 P형 고농도 불순물 영역들(143)을 형성한다. 그 결과, 상기 제2 게이트 패턴(145)은 후속의 열처리 공정 동안 상기 P형 불순물 이온들로 균일하게 도우핑되어 P형 게이트 전극(145)을 형성한다. 상기 P형 게이트 전극(145) 역시 P형 돌출부(145')를 갖는다. 상기 P형 저농도 불순물 영역들(133) 및 상기 P형 고농도 불순물 영역들(143)은 P형 소오스/드레인 영역들을 구성한다. 따라서, 상기 P형 고농도 불순물

영역들(143)은 상기 P형 소오스/드레인 영역들의 전기적인 저항을 감소시키기 위하여 상기 제2 P형 저농도 불순물 영역들(133b)보다 깊도록 형성하는 것이 바람직하다. 결과적으로, 상기 제2 P형 저농도 불순물 영역들(133b)은 상기 제2 게이트 스페이서(139a") 하부에 잔존하고 상기 제1 P형 저농도 불순물 영역들(133a) 및 상기 P형 고농도 불순물 영역들(143) 사이에 위치한다.

<88> 한편, 상기 N형 포켓 불순물 영역들(133')이 형성된 경우에, 상기 P형 고농도 불순물 영역들(143)의 적어도 측벽들은 상기 N형 포켓 불순물 영역들(133')에 의해 둘러싸여진다.

<89> 도 20을 참조하면, 상기 스페이서 식각저지막(137) 및 치유 열산화막(135)을 식각 및 세정하여 상기 N형 게이트 전극(129)의 상부면, 상기 P형 게이트 전극(145)의 상부면, 상기 N형 고농도 불순물 영역들(141)의 표면들 및 상기 P형 고농도 불순물 영역들(143)의 표면들을 노출시킨다. 이어서, 통상의 샐리사이드 기술을 사용하여 상기 노출된 게이트 전극들(129, 145) 및 상기 노출된 고농도 불순물 영역들(141, 143) 상에 선택적으로 금속 실리사이드막(147)을 형성한다. 이때, 충분한 깊이를 갖는 상기 제2 저농도 불순물 영역들(131b, 133b)의 존재에 기인하여 상기 금속 실리사이드막(147) 및 상기 웰들(105a, 105b) 사이의 누설전류 특성을 개선시킬 수 있다. 또한, 상기 N형 게이트 전극(129)은 충분한 두께를 갖는다. 따라서, 상기 금속 실리사이드막(147)을 형성하기 위한 열처리 공정을 실시할지라도 상기 N형 게이트 전극(129) 내에 불순물 고갈영역(impurity depletion region)이 형성되는 것을 방지할 수 있다.

<90> 도 21a, 도 21b, 도 21c 및 도 22 내지 도 25는 본 발명의 제2 실시예에 따른 상보형 MOS 트랜지스터들(complementary MOS transistors)의 제조방법을 설명하기 위한 단면도들이다. 본 실시예의 특징은 제1 실시예에서 설명된 완충막이 100 Å보다 얇은 두께로 형성되는 데 있다.

. 따라서, 본 발명의 제1 실시예와 동일한 방법들을 사용하여 실시되는 공정 단계들은 본 실시예의 요지가 모호해지는 것을 방지하기 위하여 간단히 설명되거나 생략될 것이다.

<91> 먼저, 도 21a, 도 21b 및 도 21c를 참조하면, 반도체기판(101) 상에 제1 실시예와 동일한 방법을 사용하여 완충막(103a), 물딩막(107) 및 캐핑막(109)을 차례로 형성한다. 상기 완충막(103a)은 100Å보다 얇은 두께로 형성한다. 계속해서, 상기 제1 실시예와 동일한 방법을 사용하여 도 13a, 도 13b 및 도 13c에서 설명된 상기 제1 및 제2 예비 게이트 패턴 그루브들(113a, 113b) 및 상기 제1 및 제2 문턱전압 이온주입 영역들(117a, 117b)을 형성한다. 다음에, 상기 노출된 완충막(103a)을 등방성 식각하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 제1 및 제2 게이트 패턴 그루브들(157a, 157b)을 형성한다. 이에 따라, 상기 제1 및 제2 게이트 패턴 그루브들(157a, 157b)은 상기 완충막(103a) 내에 형성된 언더컷 영역들을 포함한다. 상기 언더컷 영역들의 측벽들(155)은 수직한 프로파일을 갖는다.

<92> 도 22를 참조하면, 제1 실시예와 동일한 방법을 사용하여, 상기 제1 및 제2 게이트 패턴 그루브들(157a, 157b)에 의해 노출된 P웰(105a) 및 N웰(105b)의 표면들 상에 게이트 절연막(121)을 형성한다. 계속해서, 제1 실시예와 동일한 방법을 사용하여, 상기 제1 및 제2 게이트 패턴 그루브들(157a, 157b)을 채우는 제1 및 제2 게이트 패턴들(123n, 123p)을 형성한다. 이에 따라, 상기 제1 게이트 패턴(123n)은 상기 엔모스 트랜지스터 영역(a) 내의 상기 언더컷 영역을 채우는 제1 돌출부(123n')를 포함한다. 이와 마찬가지로, 상기 제2 게이트 패턴(123p)은 상기 피모스 트랜지스터 영역(b) 내의 상기 언더컷 영역을 채우는 제2 돌출부(123p')를 포함한다. 상기 제1 및 제2 돌출부들(123n', 123p')의 측벽들은 얇은 두께, 즉 상술한 바와 같이 100Å보다 얇은 두께를 갖는다. 계속해서, 제1 실시예와 동일한 방법을 사용하여 상기 피모



스 트랜지스터 영역(b) 상에 포토레지스트 패턴(125)을 형성하고 N형 불순물 이온들(127)을 선택적으로 주입한다. 이어서, 상기 포토레지스트 패턴(125)을 제거한 후, 상기 제1 게이트 패턴(123n)을 열처리하여 N형 게이트 전극(129)을 형성한다. 계속해서, 제1 실시예와 동일한 방법을 사용하여, 상기 몰딩막(107) 및 상기 완충막(103a)을 습식식각으로 제거하여 상기 N형 게이트 전극(129) 및 상기 제2 게이트 패턴(123p)의 측벽들을 노출시킨다. 이어서, 제1 실시예와 동일하게, 이온주입을 실시하여 상기 엔 모스 트랜지스터 영역(a)에는 제1 N형 저농도 불순물 영역(165a) 및 상기 제1 N형 저농도 불순물 영역(165a)에 인접한 제2 N형 저농도 불순물 영역(131b)으로 이루어진 N형 저농도 불순물 영역들(165)을 형성하고, 상기 피 모스 트랜지스터 영역(b)에는 제1 P형 저농도 불순물 영역(167a) 및 제2 P형 저농도 불순물 영역(167b)로 이루어진 P형 저농도 불순물 영역들(167)을 형성한다. 한편, 상기 P형 저농도 불순물 영역들(133) 대신에 N형 포켓 불순물 영역들(N-type pocket impurity regions; 133')을 형성할 수도 있다. 여기서, 상기 저농도 불순물 영역들(131, 133)을 형성하기 위한 이온주입 공정에서, 도 22에 도시된 상기 제1 및 제2 돌출부들(123n', 123p')의 상부 모서리(에지)가 특히 이온주입 손상을 받아 취약해 진다. 이에 따라, 상기 이온주입 공정후 진행되는 여러 공정, 예컨대, 세정 공정, 상기 저농도 불순물 영역들(131, 133)을 형성하기 위한 이온주입 마스크로 사용된 포토레지스트를 제거하기 위한 공정 등에서 상기 제1 및 제2 돌출부들(123n', 123p')의 상부 모서리가 식각되어 도 23에 도시된 바와 같이 양의 경사진 측벽 프로파일을 갖는 돌출부들(129', 123p'')이 형성된다.

<93> 본 실시예에서, 상기 제1 N형 저농도 불순물 영역들(165a)의 곡률들(curvatures)은 상기 제1 실시예의 상기 제1 N형 저농도 불순물

영역들(131a)의 곡률들보다 크다. 이는, 도 22에 도시된 상기 제1 돌출부들(123n')가 얇은 두께를 갖기 때문이다. 이와 마찬가지로, 상기 제1 P형 저농도 불순물 영역들(167a)의 곡률들(curvatures)은 상기 제1 실시예의 상기 제1 P형 저농도 불순물 영역들(133a)의 곡률들보다 크다는 것은 자명하다. 이에 따라, 본 실시예에 따르면, 상기 제1 실시예에 비하여 핫 캐리어 효과를 현저히 억제시킬 수 있다.

<94> 한편, 상기 제1 실시예와 마찬가지로, 상기 P형 저농도 불순물 영역(167) 대신에 N형 포켓 불순물 영역(167')을 형성할 수도 있다.

<95> 도 24를 참조하면, 상기 제1 실시예와 동일한 방법들을 사용하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 "역 T"형태의 N형 게이트 전극(reverse T-shaped N-type gate electrode; 163) 및 "역 T"형태의 P형 게이트 전극(reverse T-shaped P-type gate electrode; 169)을 형성할 수 있음은 자명하다. 결과적으로, 상기 N형 게이트 전극(163) 및 상기 P형 게이트 전극(169)은 각각 N형 돌출부(163') 및 P형 돌출부(169')를 갖는다. 이 경우에, 상기 N형 돌출부(163') 및 상기 P형 돌출부(169')는 도 24에 도시된 바와 같이 양의 경사진 측벽들을 갖는다. 즉, 상기 돌출부들(163', 169')의 하부폭들은 그들의 상부폭들보다 넓다.

<96> 계속해서 제1 실시예와 동일한 방법으로, 치유 열산화막(135), 스페이서 식각저지막(spacer etch stop layer; 137) 및 스페이서 절연막(139a', 139a'')을 형성하고, N형 고농도 불순물 영역(141) 및 P형 고농도 불순물 영역(143)을 형성한다.

<97> 도 25 내지 도 29는 본 발명의 제3 실시예에 따른 상보형 모스 트랜지스터들(complementary MOS transistors)의 제조방법을 설명하기 위한 단면도들이다. 본 실시예의 특징은 제1 실시예에서 설명된 완충막이 약 300 내지 500 Å 정도의 두께로 형성되는 데 있다. 따

라서, 본 발명의 제1 실시예와 동일한 방법들을 사용하여 실시되는 공정 단계들은 본 실시예의 요지가 모호해지는 것을 방지하기 위하여 간단히 설명되거나 생략될 것이다.

<98> 도 25를 참조하면, 상기 제1 또는 제2 실시예와 동일한 방법을 사용하여 반도체기판 (101) 상에 완충막(103b), 몰딩막(107) 및 캐핑막(109)을 차례로 형성한다. 또한, 상기 반도체 기판(101)은 상기 제1 또는 제2 실시예와 마찬가지로 엔모스 트랜지스터 영역(a) 및 피모스 트랜지스터 영역(b)을 갖고, 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 P웰(105a) 및 N웰(105b)이 형성된다.

<99> 도 26a를 참조하면, 상기 캐핑막(109) 및 상기 몰딩막(107)을 패터닝하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 제1 및 제2 예비 게이트 패턴 그루브들(201a, 201b)을 형성한다. 상기 제1 및 제2 예비 게이트 패턴 그루브들(201a, 201b)은 상기 완충막(103b)의 소정영역들을 노출시킨다. 상기 캐핑막(109)을 형성하는 공정은 생략될 수도 있다. 이 경우에, 상기 제1 및 제2 예비 게이트 패턴 그루브들(201a, 201b)은 상기 몰딩막(107)만을 패터닝함으로써 형성된다. 상기 제1 실시예와 동일한 방법을 사용하여 상기 P웰(105a)의 소정영역 및 상기 N웰(105b)의 소정영역에 각각 제1 및 제2 문턱전압 이온주입 영역들(203a, 203b)을 형성한다.

<100> 도 27a를 참조하면, 상기 노출된 완충막(103b)을 등방성 식각하여 상기 P웰(105a)의 소정영역을 노출시키는 제1 게이트 패턴 그루브(207a) 및 상기 N웰(105b)의 소정영역을 노출시키는 제2 게이트 패턴 그루브(207b)를 형성한다. 그 결과, 상기 제1 및 제2 게이트 패턴 그루브들(207a, 207b)은 상기 완충막(103b) 내에 형성된 언더컷 영역들을 포함한다. 상기 언더컷 영역들은 도시된 바와 같이 음의 경사진 측벽들(205)을 갖도록 형성된다. 즉, 상기 언더컷 영역들의 상부폭들은 그들의 하부폭들보다 넓다.

- <101> 한편, 상기 제1 및 제2 예비 게이트 패턴 그루브들(201a, 201b) 및 상기 제1 및 제2 게이트 패턴 그루브들(207a, 207b)은 도 24a 및 도 25a에서 설명된 방식과 다른 제1 변형된 방법(first modified method)을 사용하여 형성할 수 있다. 상기 제1 변형된 방법은 도 26b 및 27b를 참조하여 간단히 설명될 수 있다.
- <102> 도 26b 및 도 27b를 참조하면, 상기 제1 실시예의 상기 제1 변형된 방법과 동일한 방법을 사용하여 제1 및 제2 트렌치 영역들(109a, 109b) 및 트렌치 스페이서들(111)을 형성한다. 상기 패터닝된 캐핑막(109) 및 상기 트렌치 스페이서들(111)을 식각 마스크들로 사용하여 상기 몰딩막(107)을 식각하여 상기 완충막(103b)의 소정영역들을 노출시키는 상기 제1 및 제2 예비 게이트 패턴 그루브들(201a, 201b)을 형성한다. 이어서, 상기 노출된 완충막(103b)을 등방성 식각하여 상기 완충막(103b) 내에 음의 경사진 측벽들(205)을 갖는 언더컷 영역들을 형성한다. 그 결과, 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 상기 제1 및 제2 게이트 패턴 그루브들(207a, 207b)이 형성된다.
- <103> 이에 더하여, 상기 제1 및 제2 예비 게이트 패턴 그루브들(201a, 201b) 및 상기 제1 및 제2 게이트 패턴 그루브들(207a, 207b)은 도 26a, 도 27a, 도 26b 및 도 27b에서 설명된 방식들과 또 다른 제2 변형된 방법을 사용하여 형성할 수도 있다. 상기 제2 변형된 방법은 도 26c 및 도 27c를 참조하여 간단히 설명될 수 있다.
- <104> 도 26c 및 도 27c를 참조하면, 상기 제1 실시예의 상기 제2 변형된 방법과 동일한 방법을 사용하여 상기 완충막(103b)의 소정영역들을 노출시키는 상기 제1 및 제2 예비 게이트 패턴 그루브들(201a, 201b)을 형성한다. 이어서, 상기 노출된 완충막(103b)을 등방성 식각하여 상기 제1 및 제2 게이트 패턴 그루브들(207a, 207b)을 형성한다.

<105> 도 28을 참조하면, 상기 제1 및 제2 게이트 패턴 그루브들(157a, 157b)에 의해 노출된 상기 P웰(105a) 및 상기 N웰(105b) 상에 상기 제1 실시예의 상기 게이트 절연막(121)을 형성한다. 다음에, 상술한 제1 실시예와 동일한 방법을 사용하여 상기 제1 및 제2 게이트 패턴 그루브들(207a, 207b) 내에 각각 제1 및 제2 게이트 패턴들(211n, 211p)을 형성한다. 그 결과, 상기 제1 및 제2 게이트 패턴들(211n, 211p)은 각각 상기 언더컷 영역들을 채우는 제1 및 제2 돌출부들(211n', 211p')을 포함한다. 이에 따라, 상기 제1 및 제2 돌출부들(211n', 211p')은 도 28에 도시된 바와 같이 음의 경사진 측벽들을 갖는다. 즉, 상기 돌출부들(211n', 211p')의 상부폭들은 그들의 하부폭들보다 넓다.

<106> 도 29를 참조하면, 상기 제1 실시예와 동일한 방법들을 사용하여 상기 엔모스 트랜지스터 영역(a) 및 상기 피모스 트랜지스터 영역(b) 내에 각각 N형 게이트 전극(213) 및 P형 게이트 전극(215)을 형성할 수 있음은 자명하다. 결과적으로, 상기 N형 게이트 전극(213) 및 상기 P형 게이트 전극(215)은 각각 N형 돌출부(213') 및 P형 돌출부(215')를 갖는다. 이 경우에, 상기 N형 돌출부(213') 및 상기 P형 돌출부(215')는 도 29에 도시된 바와 같이 여전히 음의 경사진 측벽들을 갖는다. 즉, 상기 돌출부들(213', 215')의 상부폭들은 그들의 하부폭들보다 넓다.

<107> 본 실시예에 따르면, 상기 N형 저농도 불순물 영역들(131) 및 상기 N형 게이트 전극(213) 사이의 기생 커패시턴스를 현저히 감소시킬 수 있다. 이는, 상기 N형 돌출부(213')이 음의 경사진 측벽을 갖기 때문이다. 이에 마찬가지로, 상기 P형 저농도 불순물 영역들(133) 및 상기 P형 게이트 전극(215) 사이의 기생 커패시턴스를 현저히 감소시킬 수 있다.

<108> 이상에서 설명한 바와 같이, 완충막의 두께 및 완충막에 대한 등방성 식각 조건에 따라 게이트 전극의 돌출부의 측벽은 수직인 프로파일, 양의 경사진 프로파일, 음의 경사진 프로파

일을 가질수 있음을 알 수 있다. 하지만, 상기 실시예에서 언급된 완충막의 두께는 단지 예시적인 것에 불과하며, 공정에 따라서 그 두께가 변경될 수 있음은 당업자에 있어서 자명하다.

### 【발명의 효과】

<109> 상술한 바와 같이 본 발명의 실시예들에 따르면, "역 T" 형태의 게이트 전극의 돌출부 하부에 제1 저농도 불순물 영역이 위치하고 상기 돌출부의 측벽을 덮는 게이트 스페이서 하부에 상기 제1 저농도 불순물 영역보다 깊은 제2 저농도 불순물 영역이 위치한다. 또한, 상기 게이트 스페이서의 외측벽에 인접한 반도체기판의 표면에 고농도 불순물 영역이 위치한다. 이에 따라, 상기 제1 저농도 불순물 영역의 깊이에 관련되는 단채널 효과의 저하없이 상기 제2 저농도 불순물 영역의 전기적인 저항을 감소시킬 수 있다. 다시 말해서, 단채널 효과의 저하없이 소오스/드레인 영역의 전기적인 저항을 감소시킬 수 있다. 이에 더하여, 상기 고농도 불순물 영역 상에 금속 실리사이드막을 형성하는 경우에, 상기 제2 저농도 불순물 영역의 존재에 기인하여 상기 금속 실리사이드막 및 상기 반도체기판 사이의 누설전류 특성을 개선시킬 수 있다. 결과적으로, 단채널 모스 트랜지스터의 특성을 최적화시킬 수 있다.

<110> 더 나아가서, 상기 "역 T" 형태의 게이트 전극은 몰딩막을 채택하는 다마신 기술을 사용하여 형성한다. 이 경우에, 상기 몰딩막 내에 형성된 "역 T" 형태의 게이트 패턴에 N형 불순물을 주입하고 상기 게이트 패턴을 열처리한 후에, 상기 몰딩막을 제거한다. 그 결과, 상기 몰딩막을 제거하는 동안 상기 N형 게이트 전극에 물리적인 손상이 가해지는 것을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판의 소정영역에 한정된 활성영역;

상기 활성영역의 상부를 가로지르되, 그 것의 하부 측벽으로부터 수평방향을 향하여 연장된 돌출부(protrusion)를 갖는 절연된 "역 T"형태의 게이트 전극(insulated reverse T-shaped gate electrode);

상기 "역 T"형태의 게이트 전극의 측벽을 덮는 게이트 스페이서(insulating gate spacer);

상기 돌출부 하부의 상기 활성영역의 표면에 형성된 제1 저농도 불순물 영역(first low concentration impurity region);

상기 게이트 스페이서 하부의 상기 활성영역의 표면에 형성되되, 상기 제1 저농도 불순물 영역에 인접하고 상기 제1 저농도 불순물 영역보다 깊은 제2 저농도 불순물 영역; 및

상기 게이트 스페이서의 외측벽(outer sidewall)에 인접한 상기 활성영역의 표면에 형성된 고농도 불순물 영역을 포함하는 모스 트랜지스터.

**【청구항 2】**

제 1 항에 있어서,

상기 "역 T"형태의 게이트 전극 및 상기 활성영역 사이에 개재된 게이트 절연막을 더 포함하는 것을 특징으로 하는 모스 트랜지스터.

**【청구항 3】**

제 1 항에 있어서,

상기 "역 T"형태의 게이트 전극의 측벽 및 상기 제2 저농도 불순물 영역의 상부면을 덮는 치유 열산화막(curing thermal oxide layer)을 더 포함하되, 상기 게이트 스페이서는 상기 치유 열산화막 상에 위치하는 것을 특징으로 하는 모스 트랜지스터.

【청구항 4】

제 3 항에 있어서,

상기 게이트 스페이서 및 상기 치유 열산화막 사이에 개재된 스페이서 식각저지막(spacer etch stop layer)을 더 포함하는 것을 특징으로 하는 모스 트랜지스터.

【청구항 5】

제 1 항에 있어서,

상기 돌출부의 측벽은 수직인 프로파일(vertical profile)을 갖는 것을 특징으로 하는 모스 트랜지스터.

【청구항 6】

제 1 항에 있어서,

상기 돌출부의 측벽은 양의 경사진 프로파일(positive sloped profile)을 갖는 것을 특징으로 하는 모스 트랜지스터.

【청구항 7】

제 1 항에 있어서,

상기 돌출부의 측벽은 음의 경사진 프로파일(negative sloped profile)을 갖는 것을 특징으로 하는 모스 트랜지스터.



【청구항 8】

제 1 항에 있어서,

상기 "역 T"형태의 게이트 전극의 상부 표면 및 상기 고농도 불순물 영역의 표면 상에 형성된 금속 실리사이드막을 더 포함하는 것을 특징으로 하는 모스 트랜지스터.

【청구항 9】

엔모스 트랜지스터 영역 및 피모스 트랜지스터 영역을 갖는 반도체기판;

상기 엔모스 트랜지스터 영역 및 상기 피모스 트랜지스터 영역 내에 각각 한정된 제1 및 제2 활성영역들;

상기 제1 활성영역의 상부를 가로지르되, 그 것의 하부 측벽으로부터 수평방향을 향하여 연장된 제1 돌출부를 갖는 "역 T"형태의 N형 게이트 전극("reverse T"-shaped N-type gate electrode);

상기 제2 활성영역의 상부를 가로지르되, 그 것의 하부 측벽으로부터 수평방향을 향하여 연장된 제2 돌출부를 갖고 상기 N형 게이트 전극과 동일한 높이를 갖는 "역 T"형태의 P형 게이트 전극("reverse T"-shaped P-type gate electrode);

상기 N형 게이트 전극 및 상기 P형 게이트 전극의 측벽들을 각각 덮는 제1 및 제2 게이트 스페이서들;

상기 제1 돌출부 하부의 상기 제1 활성영역의 표면에 형성된 제1 N형 저농도 불순물 영역(first N-type low concentration impurity region);

상기 제1 게이트 스페이서 하부의 상기 제1 활성영역의 표면에 형성되되, 상기 제1 N형 저농도 불순물 영역에 인접하고 상기 제1 N형 저농도 불순물 영역보다 깊은 제2 N형 저농도 불순물 영역;

상기 제1 게이트 스페이서의 외측벽에 인접한 상기 제1 활성영역의 표면에 형성된 N형 고농도 불순물 영역; 및

상기 제2 게이트 스페이서의 외측벽에 인접한 상기 제2 활성영역의 표면에 형성된 P형 고농도 불순물 영역을 포함하는 상보형 모스 트랜지스터들 (complementary MOS transistors).

**【청구항 10】**

제 9 항에 있어서,

상기 N형 게이트 전극 및 상기 제1 활성영역 사이와 상기 P형 게이트 전극 및 상기 제2 활성영역 사이에 개재된 게이트 절연막을 더 포함하는 것을 특징으로 하는 상보형 모스 트랜지스터들.

**【청구항 11】**

제 9 항에 있어서,

상기 제1 및 제2 돌출부들의 측벽들은 수직한 프로파일을 갖는 것을 특징으로 하는 상보형 모스 트랜지스터들.

**【청구항 12】**

제 9 항에 있어서,

상기 제1 및 제2 돌출부의 측벽들은 양의 경사진 프로파일을 갖는 것을 특징으로 하는 상보형 모스 트랜지스터들.

**【청구항 13】**

제 9 항에 있어서,

상기 제1 및 제2 돌출부의 측벽들은 음의 경사진 프로파일을 갖는 것을 특징으로 하는 상보형 모스 트랜지스터들.

**【청구항 14】**

제 9 항에 있어서,

상기 N형 게이트 전극, 상기 P형 게이트 전극, 상기 N형 고농도 불순물 영역 및 상기 P형 고농도 불순물 영역 상에 형성된 금속 실리사이드막을 더 포함하는 것을 특징으로 하는 상보형 모스 트랜지스터들.

**【청구항 15】**

제 9 항에 있어서,

상기 P형 고농도 불순물 영역의 적어도 측벽을 둘러싸는 N형 포켓 불순물 영역(N-type pocket impurity region)을 더 포함하되, 상기 N형 포켓 불순물 영역은 상기 제2 돌출부 하부의 상기 제2 활성영역까지 연장된 것을 특징으로 하는 상보형 모스 트랜지스터들.

**【청구항 16】**

제 9 항에 있어서,

상기 제2 돌출부 하부의 상기 제2 활성영역의 표면에 형성된 제1 P형 저농도 불순물 영역; 및

상기 제2 게이트 스페이서 하부의 상기 제2 활성영역의 표면에 형성된 제2 P형 저농도 불순물 영역을 더 포함하되, 상기 제2 P형 저농도 불순물 영역은 상기 제1 P형 저농도 불순물

영역보다 깊고 상기 P형 고농도 불순물 영역보다 얇으며, 상기 제2 P형 저농도 불순물 영역은 상기 제1 P형 저농도 불순물 영역 및 상기 P형 고농도 불순물 영역 사이에 개재된 것을 특징으로 하는 상보형 모스 트랜지스터들.

#### 【청구항 17】

반도체기판에 활성영역을 한정하고,

상기 활성영역을 갖는 반도체기판의 전면 상에 완충막 및 몰딩막을 차례로 형성하고,

상기 몰딩막 및 상기 완충막을 관통하는 게이트 패턴 그루브(groove)를 형성하되, 상기 게이트 패턴 그루브는 상기 활성영역의 소정영역을 노출시키면서 상기 완충막 내에 언더컷 영역을 갖고,

상기 노출된 활성영역 상에 게이트 절연막을 형성하고,

상기 게이트 패턴 그루브 내에 "역 T"형태의 게이트 패턴을 형성하되, 상기 "역 T"형태의 게이트 패턴은 상기 언더컷 영역을 채우는 돌출부를 갖고,

상기 몰딩막 및 상기 완충막을 제거하고,

상기 "역 T"형태의 게이트 패턴을 이온주입 마스크로 사용하여 상기 활성영역에 불순물 이온들을 주입하여 상기 돌출부 하부의 상기 활성영역의 표면에 제1 저농도 불순물 영역을 형성함과 동시에 상기 돌출부의 측벽에 인접한 상기 활성영역의 표면에 제2 저농도 불순물 영역을 형성하되, 상기 제2 저농도 불순물 영역은 상기 제1 저농도 불순물 영역보다 깊고,

상기 "역 T"형태의 게이트 패턴의 측벽 상에 게이트 스페이서를 형성하고,

상기 게이트 패턴 및 상기 게이트 스페이서를 이온주입 마스크로 사용하여 상기 활성영역에 불순물 이온들을 주입하여 상기 게이트 스페이서의 외측벽에 인접한 상기 활성영역의 표면에 고농도 불순물 영역을 형성하는 것을 포함하는 모스 트랜지스터의 제조방법.

【청구항 18】

제 17 항에 있어서,

상기 완충막은 100Å 내지 300Å의 두께로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 19】

제 18 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막을 패터닝하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브(preliminary gate pattern groove)를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 완충막 내에 수직한 측벽 프로파일을 갖는 언더컷 영역을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 20】

제 19 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막을 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 21】

제 18 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막 상에 캐핑막을 형성하고,

상기 캐핑막을 패터닝하여 상기 몰딩막의 소정영역을 노출시키는 트렌치 영역을 형성하고,

상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성하고,

상기 캐핑막 및 상기 트렌치 스페이서를 식각 마스크로 사용하여 상기 몰딩막을 식각하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 완충막 내에 수직한 측벽 프로파일을 갖는 언더컷 영역을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 22】

제 21 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막, 상기 캐핑막 및 상기 트렌치 스페이서를 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 23】

제 18 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막 상에 캐핑막을 형성하고,

상기 캐핑막 및 상기 몰딩막을 연속적으로 식각하여 상기 캐핑막 및 상기 몰딩막 내에 트렌치 영역을 형성하되, 상기 몰딩막 내의 상기 트렌치 영역의 깊이는 상기 몰딩막의 두께보다 작고,

상기 트렌치 영역을 갖는 반도체기판의 전면 상에 콘포말한 스페이서 절연막을 형성하고,

상기 스페이서 절연막 및 상기 몰딩막을 식각하여 상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성함과 동시에 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 완충막 내에 수직한 측벽 프로파일을 갖는 언더컷 영역을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 24】

제 23 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막, 상기 캐핑막 및 상기 트렌치 스페이서를 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 25】

제 17 항에 있어서,

상기 완충막은 100Å보다 얇은 두께로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 26】

제 25 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막을 패터닝하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브(preliminary gate pattern groove)를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 완충막 내에 수직한 측벽 프로파일을 갖는 언더컷 영역을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 27】

제 26 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은



상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막을 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**【청구항 28】**

제 25 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막 상에 캐핑막을 형성하고,

상기 캐핑막을 패터닝하여 상기 몰딩막의 소정영역을 노출시키는 트렌치 영역을 형성하고,

상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성하고,

상기 캐핑막 및 상기 트렌치 스페이서를 식각 마스크로 사용하여 상기 몰딩막을 식각하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 완충막 내에 수직한 측벽 프로파일을 갖는 언더컷 영역을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**【청구항 29】**

제 28 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막, 상기 캐핑막 및 상기 트렌치 스페이서를 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 30】

제 25 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막 상에 캐핑막을 형성하고,

상기 캐핑막 및 상기 몰딩막을 연속적으로 식각하여 상기 캐핑막 및 상기 몰딩막 내에 트렌치 영역을 형성하되, 상기 몰딩막 내의 상기 트렌치 영역의 깊이는 상기 몰딩막의 두께보다 작고,

상기 트렌치 영역을 갖는 반도체기판의 전면 상에 콘포말한 스페이서 절연막을 형성하고,

상기 스페이서 절연막 및 상기 몰딩막을 연속적으로 식각하여 상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성함과 동시에 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 완충막 내에 수직한 측벽 프로파일을 갖는 언더컷 영역을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**【청구항 31】**

제 30 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막, 상기 캐핑막 및 상기 트렌치 스페이서를 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**【청구항 32】**

제 17 항에 있어서,

상기 완충막은 300 내지 500 Å 정도의 두께로 형성되는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**【청구항 33】**

제 32 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막을 패터닝하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브(preliminary gate patern groove)를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 활성영역의 소정영역을 노출시키는 언더컷 영역을 형성하는 것을 포함하되, 상기 언더컷 영역은 양의 경사진 측벽 프로파일을 갖는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 34】

제 33 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막을 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 【청구항 35】

제 32 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막 상에 캐핑막을 형성하고,

상기 캐핑막을 패터닝하여 상기 몰딩막의 소정영역을 노출시키는 트렌치 영역을 형성하고,

상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성하고,

상기 캐핑막 및 상기 트렌치 스페이서를 식각 마스크로 사용하여 상기 몰딩막을 식각하여 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 활성영역의 소정영역을 노출시키는 언더컷 영역을 형성하는 것을 포함하되, 상기 언더컷 영역은 양의 경사진 측벽 프로파일을 갖는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 36】

제 35 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막, 상기 캐핑막 및 상기 트렌치 스페이서를 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 37】

제 32 항에 있어서,

상기 게이트 패턴 그루브를 형성하는 것은

상기 몰딩막 상에 캐핑막을 형성하고,

상기 캐핑막 및 상기 몰딩막을 연속적으로 식각하여 상기 캐핑막 및 상기 몰딩막 내에 트렌치 영역을 형성하되, 상기 몰딩막 내의 상기 트렌치 영역의 깊이는 상기 몰딩막의 두께보다 작고,

상기 트렌치 영역을 갖는 반도체기판의 전면 상에 콘포말한 스페이서 절연막을 형성하고,

상기 스페이서 절연막 및 상기 몰딩막을 연속적으로 식각하여 상기 트렌치 영역의 측벽 상에 트렌치 스페이서를 형성함과 동시에 상기 완충막의 소정영역을 노출시키는 예비 게이트 패턴 그루브를 형성하고,

상기 노출된 완충막을 등방성 식각하여 상기 활성영역의 소정영역을 노출시키는 언더컷 영역을 형성하는 것을 포함하되, 상기 언더컷 영역은 양의 경사진 측벽 프로파일을 갖는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 38】

제 37 항에 있어서,

상기 "역 T"형태의 게이트 패턴을 형성하는 것은

상기 게이트 절연막을 갖는 반도체기판의 전면 상에 상기 게이트 패턴 그루브를 채우는 언도프트 반도체막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 반도체막, 상기 캐핑막 및 상기 트렌치 스페이서를 평탄화시키어 상기 게이트 패턴 그루브 내에 언도우프트 게이트 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 39】

제 17 항에 있어서,

상기 게이트 스페이서를 형성하기 전에,

상기 제1 및 제2 저농도 불순물 영역들을 갖는 반도체기판의 전면 상에 치유 열산화막을 형성하는 것을 더 포함하되, 상기 치유 열산화막은 상기 게이트 스페이서를 형성하는 동안 식각저지막 역할을 하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 40】

제 17 항에 있어서,

상기 게이트 스페이서를 형성하기 전에,

상기 제1 및 제2 저농도 불순물 영역들을 갖는 반도체기판의 전면 상에 치유 열산화막을 형성하고,

상기 치유 열산화막 상에 스페이서 식각저지막을 형성하는 것을 더 포함하되, 상기 스페이서 식각저지막은 상기 게이트 스페이서에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 41】

제 17 항에 있어서,

상기 게이트 패턴의 상부면 및 상기 고농도 불순물 영역의 표면을 노출시키고,

상기 노출된 게이트 패턴 및 상기 노출된 고농도 불순물 영역 상에 선택적으로 금속 실리콘사이드막을 형성하는 것을 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 42】

엔모스 트랜지스터 영역 및 피모스 트랜지스터 영역을 갖는 반도체기판을 준비하고,

상기 엔모스 트랜지스터 영역 및 상기 피모스 트랜지스터 영역에 각각 제1 활성영역 및 제2 활성영역을 한정하고,

상기 제1 및 제2 활성영역들을 갖는 반도체기판의 전면 상에 완충막 및 몰딩막을 차례로 적층하고,

상기 몰딩막 및 상기 완충막을 관통하는 제1 및 제2 게이트 패턴 그루브들을 형성하되, 상기 제1 및 제2 게이트 패턴 그루브들은 각각 상기 제1 및 제2 활성영역들을 노출시키면서 상기 완충막 내에 언더컷 영역들을 갖고,

상기 노출된 제1 및 제2 활성영역들 상에 게이트 절연막을 형성하고,

상기 제1 및 제2 게이트 패턴 그루브들 내에 각각 제1 및 제2 "역 T"형태의 언도우프트 게이트 패턴들을 형성하되, 상기 제1 및 제2 게이트 패턴들은 각각 상기 언더컷 영역들을 채우는 제1 및 제2 돌출부들을 갖고,

상기 몰딩막 및 상기 완충막을 제거하고,

상기 제1 게이트 패턴을 이온주입 마스크로 사용하여 상기 제1 활성영역에 N형 불순물 이온들을 선택적으로 주입하여 상기 제1 돌출부 하부의 상기 제1 활성영역의 표면에 제1 N형 저농도 불순물 영역을 형성함과 동시에 상기 제1 돌출부의 측벽에 인접한 상기 제1 활성영역의 표면에 제2 N형 저농도 불순물 영역을 형성하되, 상기 제2 N형 저농도 불순물 영역은 상기 제1 N형 저농도 불순물 영역보다 깊고,

상기 제2 게이트 패턴을 이온주입 마스크로 사용하여 상기 제2 활성영역에 P형 불순물 이온들을 선택적으로 주입하여 상기 제2 돌출부 하부의 상기 제2 활성영역의 표면에 제1 P형 저농도 불순물 영역을 형성함과 동시에 상기 제1 돌출부의 측벽에 인접한 상기 제2 활성영역의 표면에 제2 P형 저농도 불순물 영역을 형성하되, 상기 제2 P형 저농도 불순물 영역은 상기 제1 P형 저농도 불순물 영역보다 깊고,

상기 제1 및 제2 게이트 패턴들의 측벽들 상에 각각 제1 및 제2 게이트 스페이서들을 형성하고,

상기 제1 게이트 패턴 및 상기 제1 게이트 스페이서를 이온주입 마스크로 사용하여 상기 제1 활성영역에 N형 불순물 이온들을 선택적으로 주입하여 상기 제1 게이트 스페이서의 외측벽에 인접한 상기 제1 활성영역의 표면에 N형 고농도 불순물 영역을 형성하고,



상기 제2 게이트 패턴 및 상기 제2 게이트 스페이서를 이온주입 마스크로 사용하여 상기 제2 활성영역에 P형 불순물 이온들을 선택적으로 주입하여 상기 제2 게이트 스페이서의 외측 벽에 인접한 상기 제2 활성영역의 표면에 P형 고농도 불순물 영역을 형성하는 것을 포함하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 43】**

제 42 항에 있어서,

상기 완충막 및 상기 몰딩막은 각각 실리콘 산화막 및 실리콘 질화막으로 형성하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 44】**

제 42 항에 있어서,

상기 제1 및 제2 언도우프트 게이트 패턴들은 언도우프트 실리콘막으로 형성하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 45】**

제 42 항에 있어서,

상기 몰딩막 및 상기 완충막을 제거하기 전에,

상기 제1 게이트 패턴 내에 N형 불순물 이온들을 선택적으로 주입하고,

상기 이온주입된 제1 게이트 패턴을 열처리하여 상기 제1 게이트 패턴을 상기 N형의 불순물 이온들로 균일하게 도우핑시킴과 동시에 상기 제1 게이트 패턴 내의 이온주입 손상(ion implantation damage)을 치유하는(cure) 것을 더 포함하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 46】**

제 45 항에 있어서,

상기 N형 불순물 이온들은 인 이온들(phosphorous ions)인 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 47】**

제 45 항에 있어서,

상기 열처리하는 급속 열처리 공정을 사용하여 실시하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 48】**

제 45 항에 있어서,

상기 급속 열처리 공정은 900℃ 내지 1200℃의 온도 범위 내에서 실시하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 49】**

제 45 항에 있어서,

상기 급속 열처리 공정은 질소 가스를 분위기 가스로 사용하여 실시하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 50】**

제 42 항에 있어서,

상기 제1 및 제2 게이트 스페이서들을 형성하기 전에,

상기 제1 및 제2 P형 저농도 불순물 영역들을 갖는 반도체기판의 전면 상에 치유 열산화막을 형성하는 것을 더 포함하되, 상기 치유 열산화막은 상기 게이트 스페이서를 형성하는 동안 식각저지막 역할을 하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 51】

제 42 항에 있어서,

상기 제1 및 제2 게이트 스페이서들을 형성하기 전에,

상기 제1 및 제2 P형 저농도 불순물 영역들을 갖는 반도체기판의 전면 상에 치유 열산화막을 형성하고,

상기 치유 열산화막 상에 스페이서 식각저지막을 형성하는 것을 더 포함하되, 상기 스페이서 식각저지막은 상기 게이트 스페이서들에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 52】

제 42 항에 있어서,

상기 제1 및 제2 게이트 패턴들의 상부면, 상기 N형 고농도 불순물 영역의 표면 및 상기 P형 고농도 불순물 영역의 표면을 노출시키고,

상기 노출된 게이트 패턴들 및 상기 노출된 고농도 불순물 영역들 상에 선택적으로 금속 실리사이드막을 형성하는 것을 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 53】

엔모스 트랜지스터 영역 및 피모스 트랜지스터 영역을 갖는 반도체기판을 준비하고,

상기 엔모스 트랜지스터 영역 및 상기 피모스 트랜지스터 영역에 각각 제1 활성영역 및 제2 활성영역을 한정하고,

상기 제1 및 제2 활성영역들을 갖는 반도체기판의 전면 상에 완충막 및 몰딩막을 차례로 적층하고,

상기 몰딩막 및 상기 완충막을 관통하는 제1 및 제2 게이트 패턴 그루브들을 형성하되, 상기 제1 및 제2 게이트 패턴 그루브들은 각각 상기 제1 및 제2 활성영역들을 노출시키고,

상기 노출된 제1 및 제2 활성영역들 상에 게이트 절연막을 형성하고,

상기 제1 및 제2 게이트 패턴 그루브들 내에 각각 제1 및 제2 언도우프트 게이트 패턴들을 형성하고,

상기 제1 언도우프트 게이트 패턴 내에 N형 불순물 이온들을 주입하고,

상기 이온주입된 제1 언도우프트 게이트 패턴을 열처리하여 상기 제1 언도우프트 게이트 패턴을 상기 N형 불순물 이온들로 균일하게 도우핑시킴과 동시에 상기 제1 언도우프트 게이트 패턴 내의 이온주입 손상을 치유하고,

적어도 상기 몰딩막을 제거하는 것을 포함하는 상보형 모스 트랜지스터들의 제조방법.

#### 【청구항 54】

제 53 항에 있어서,

상기 완충막 및 상기 몰딩막은 각각 실리콘 산화막 및 실리콘 질화막으로 형성하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 55】**

제 53 항에 있어서,

상기 제1 및 제2 언도우프트 게이트 패턴들을 형성하는 것은

상기 제1 및 제2 게이트 패턴 그루브들을 갖는 반도체기판의 전면 상에 상기 제1 및 제2 게이트 패턴 그루브들을 채우는 언도우프트 실리콘막을 형성하고,

상기 몰딩막의 상부면이 노출될때까지 상기 언도우프트 실리콘막을 평탄화시키는 것을 포함하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 56】**

제 53 항에 있어서,

상기 열처리하는 급속 열처리 공정을 사용하여 실시하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 57】**

제 56 항에 있어서,

상기 급속 열처리 공정은 900℃ 내지 1200℃의 온도 범위 내에서 실시하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 58】**

제 56 항에 있어서,

상기 급속 열처리 공정은 질소 가스를 분위기 가스로 사용하여 실시하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 59】**

제 53 항에 있어서,

상기 몰딩막을 제거하는 것은 습식 식각용액(wet etchant)을 사용하여 실시하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

**【청구항 60】**

제 53 항에 있어서,

상기 몰딩막을 제거한 후에,

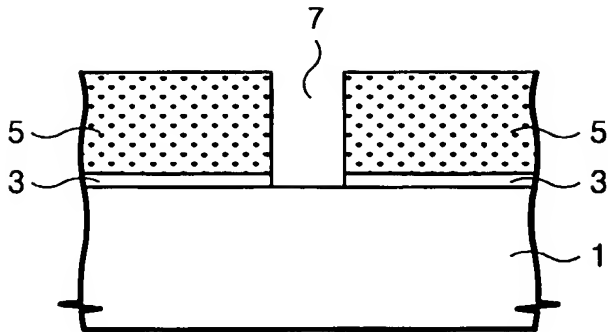
상기 제1 게이트 패턴의 양 옆에 위치하는 상기 제1 활성영역의 표면에 N형 소오스/드레인 영역을 형성하고,

상기 제2 게이트 패턴의 양 옆에 위치하는 상기 제2 활성영역의 표면에 P형 소오스/드레인 영역을 형성하는 것을 더 포함하는 것을 특징으로 하는 상보형 모스 트랜지스터들의 제조방법.

## 【도면】

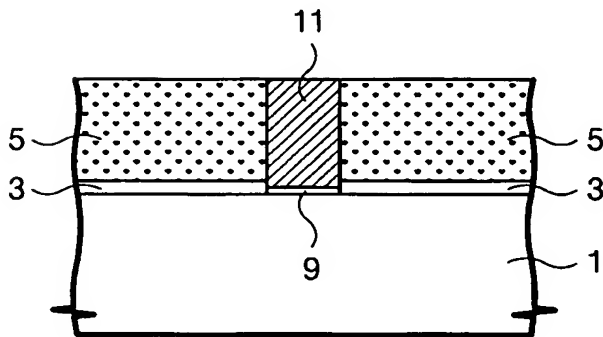
【도 1】

(종래 기술)



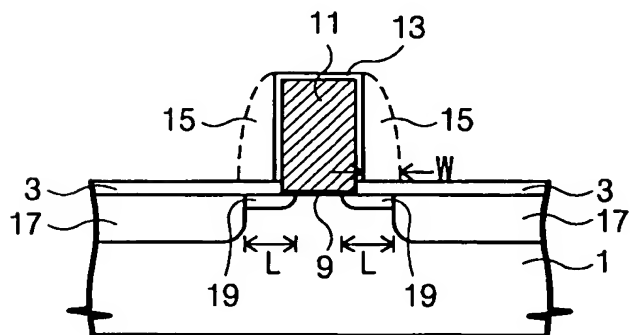
【도 2】

(종래 기술)



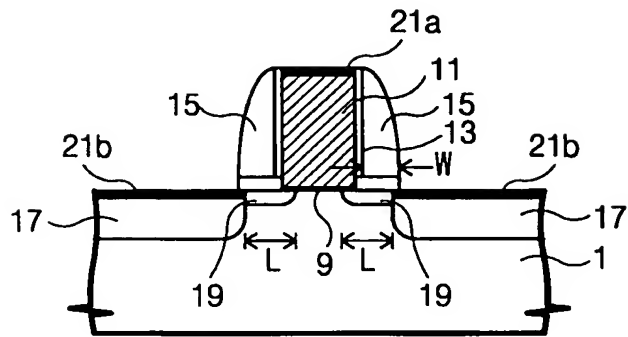
【도 3a】

(종래 기술)



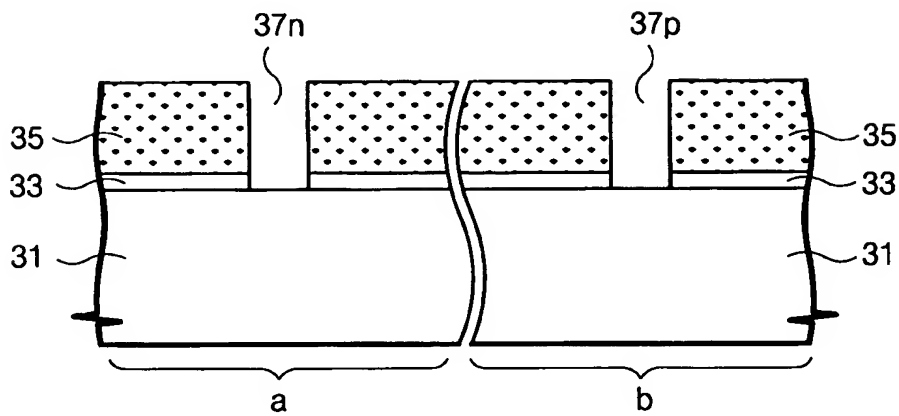
【도 3b】

(종래 기술)



【도 4】

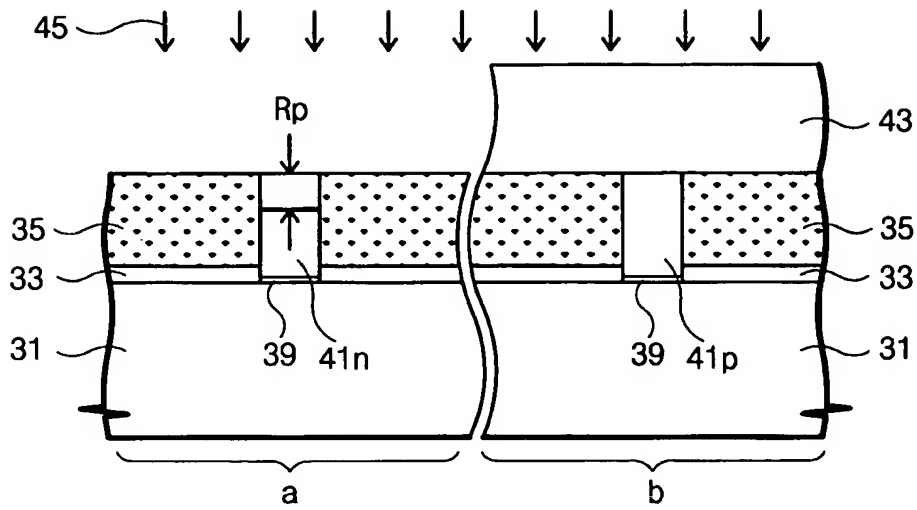
(종래 기술)





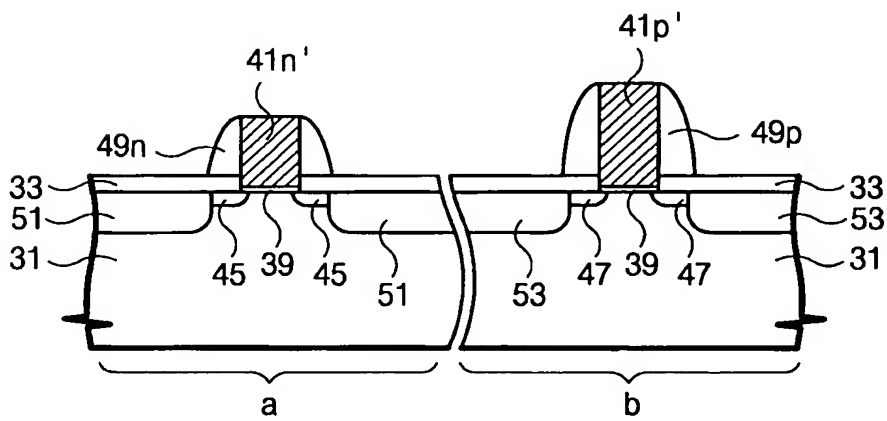
【도 5】

(종래 기술)



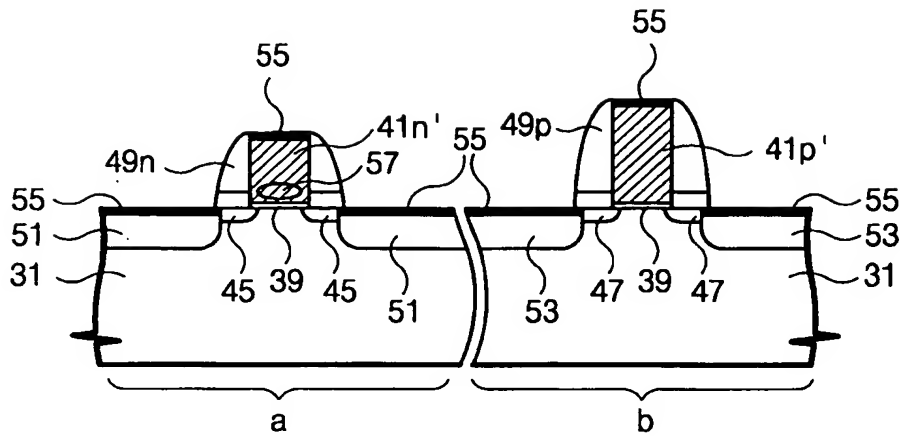
【도 6】

(종래 기술)

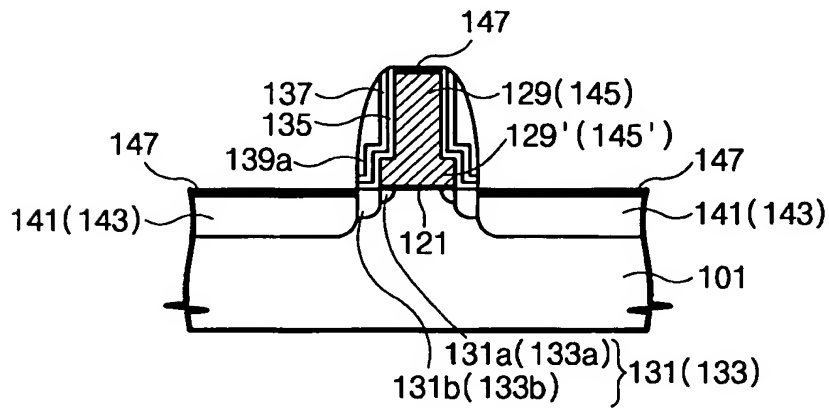


【도 7】

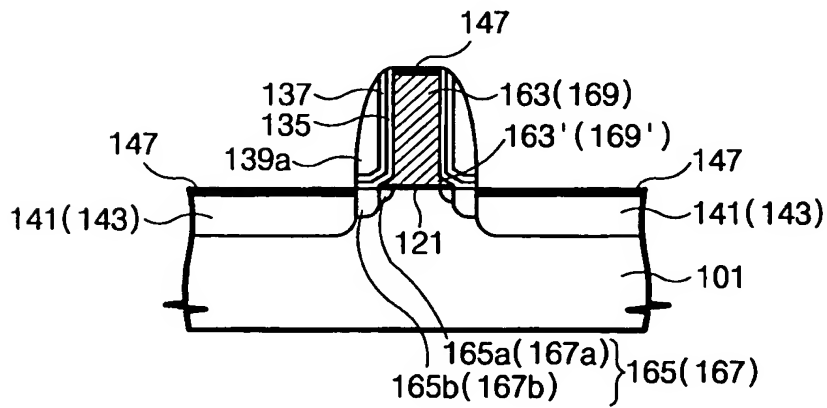
(종래 기술)



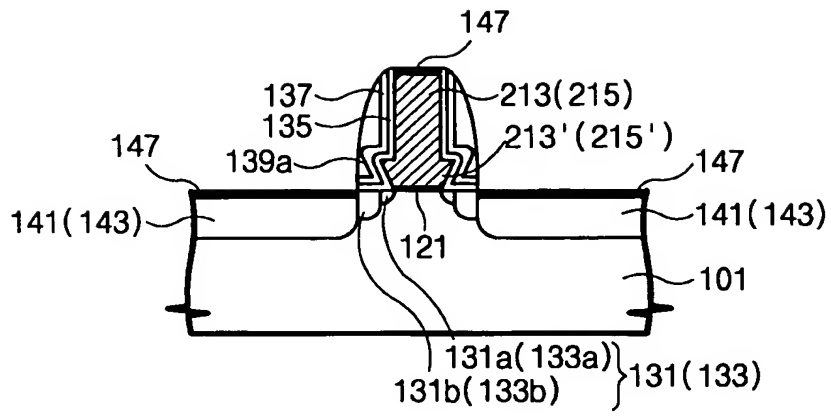
【도 8】



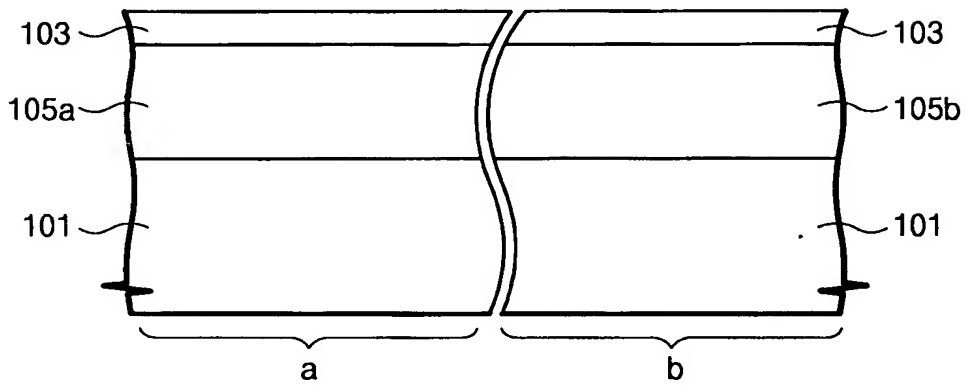
【도 9】



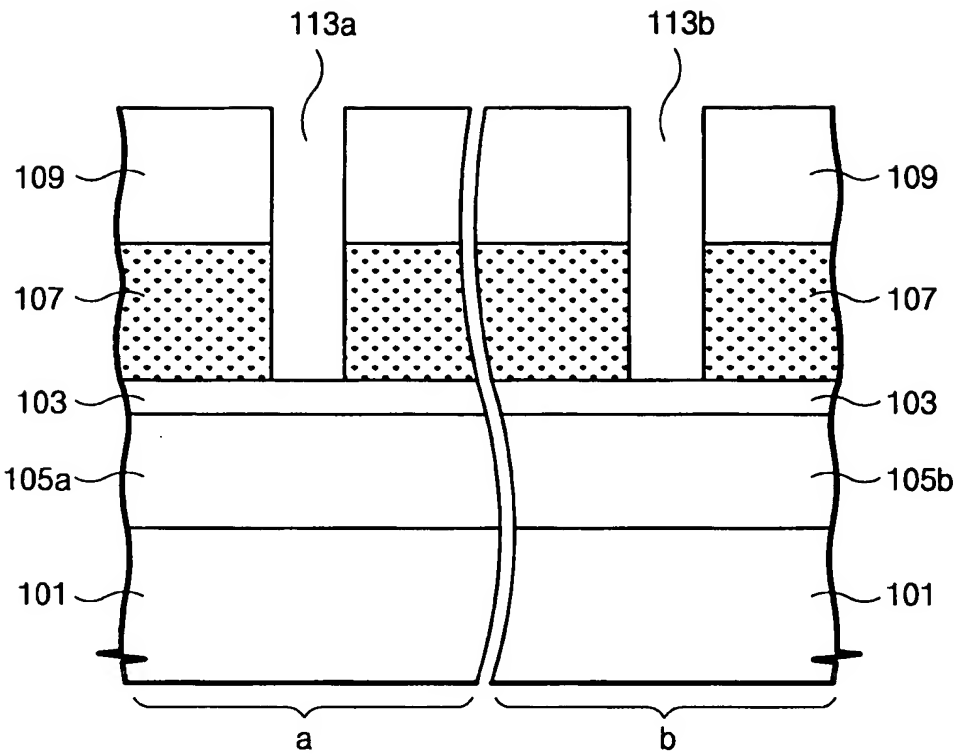
【도 10】



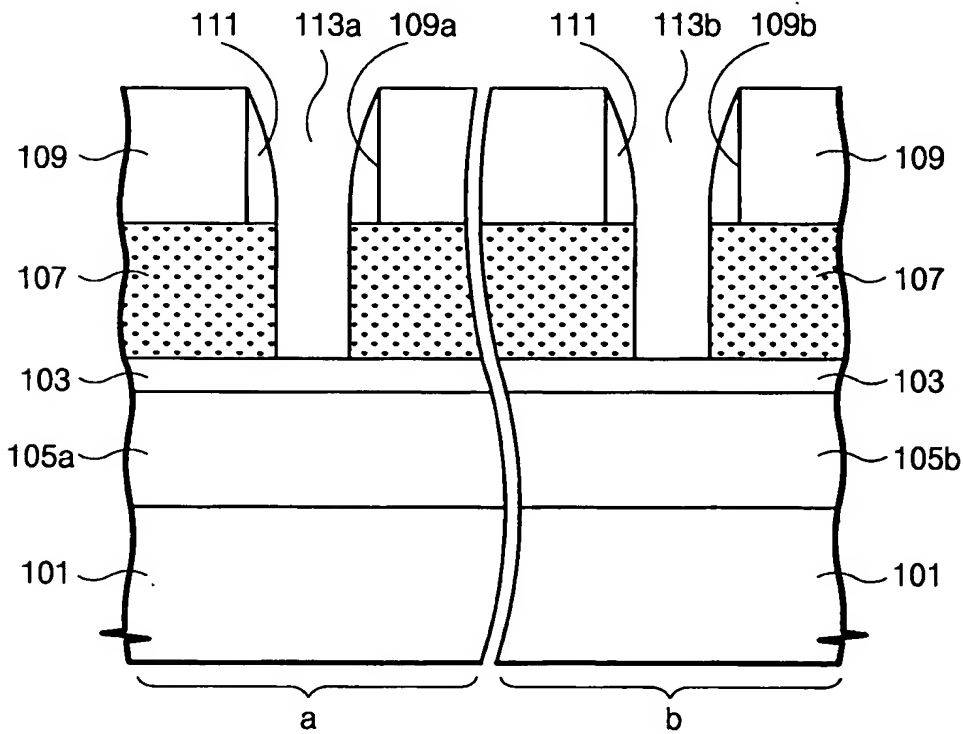
【도 11】



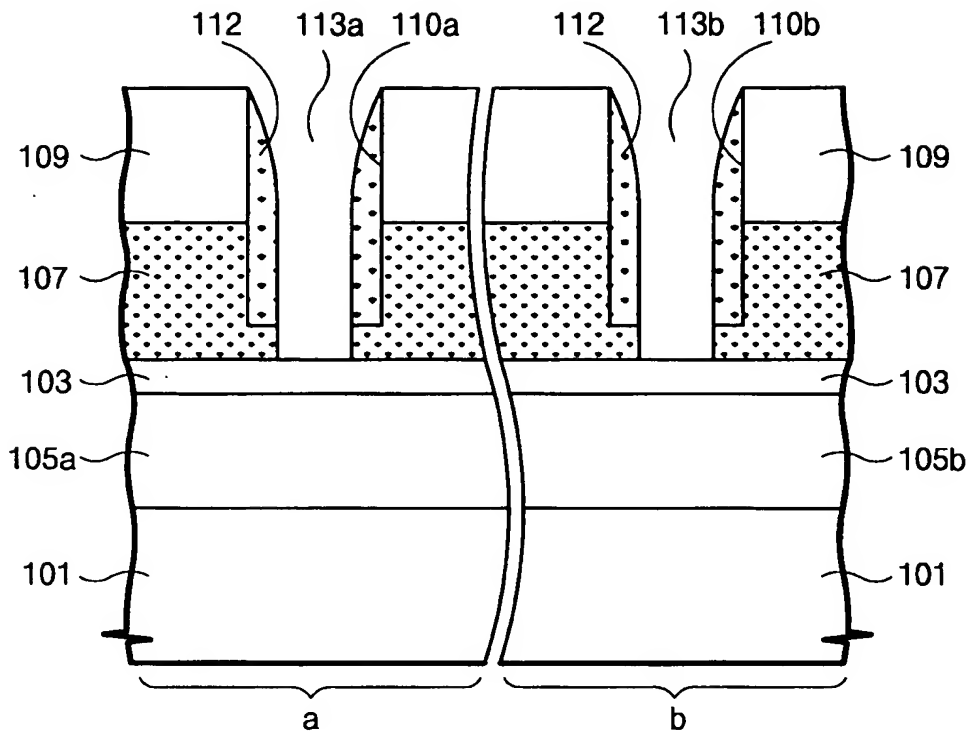
【도 12a】



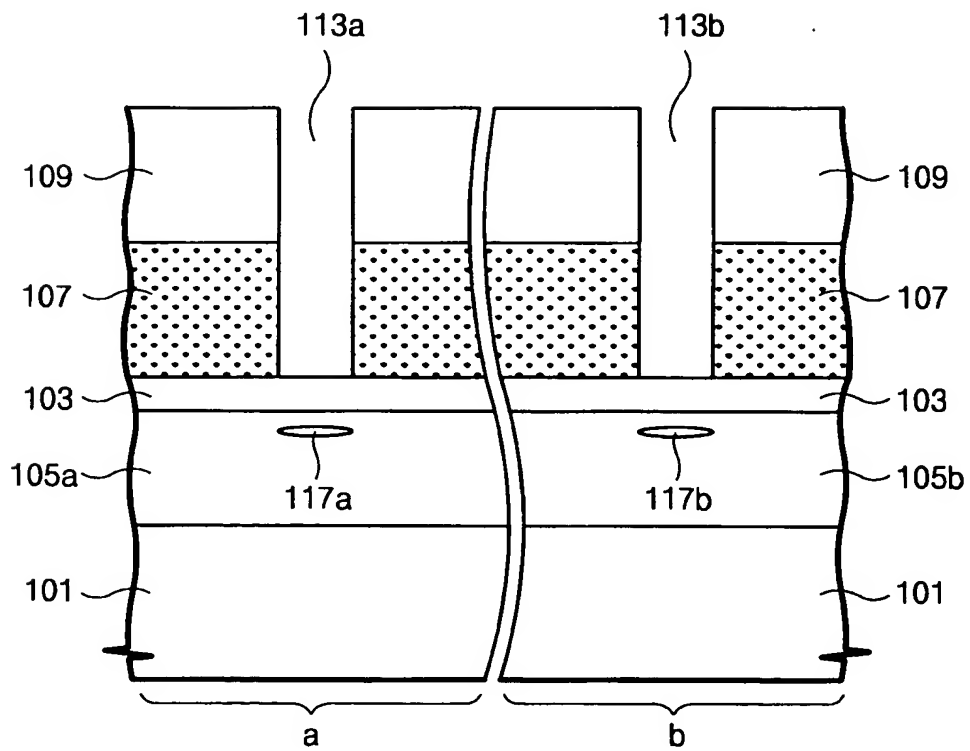
【도 12b】



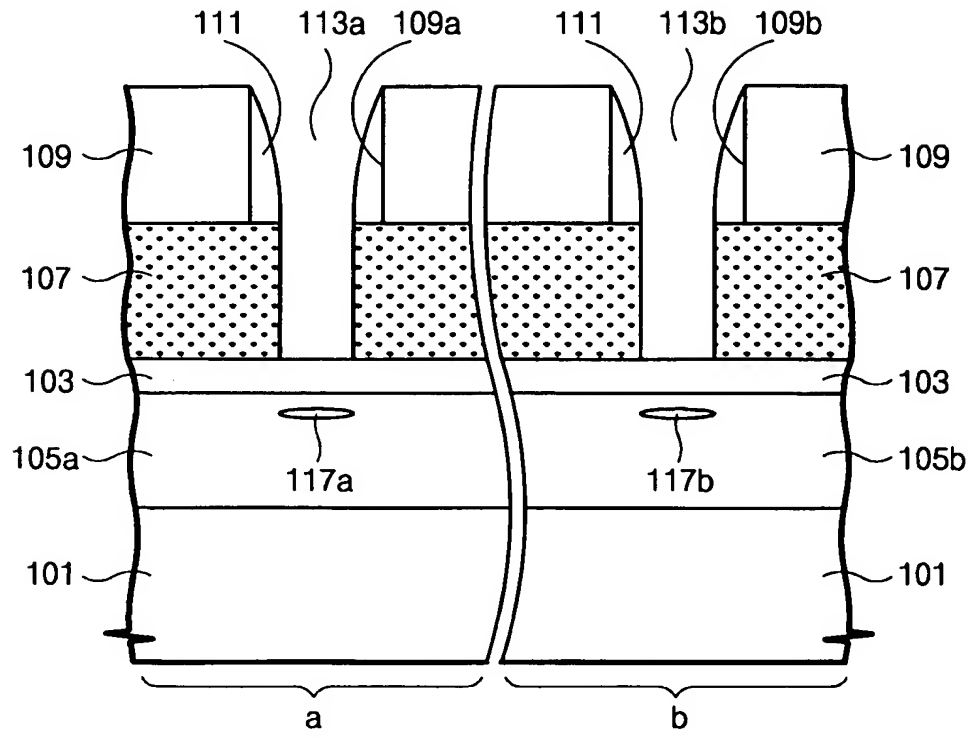
【도 12c】



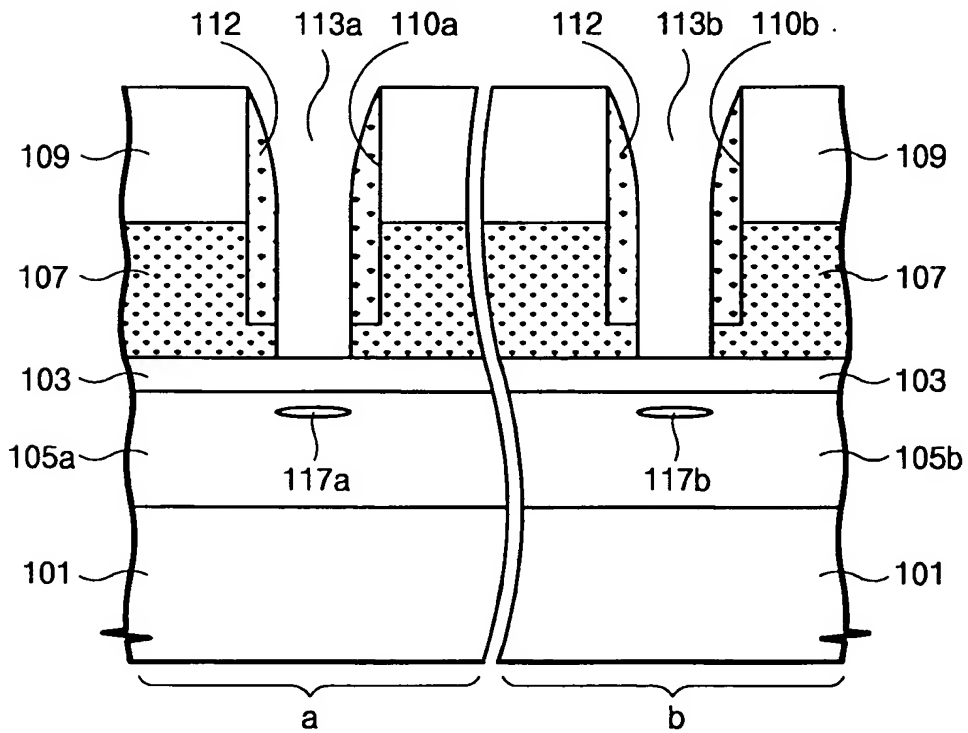
【도 13a】



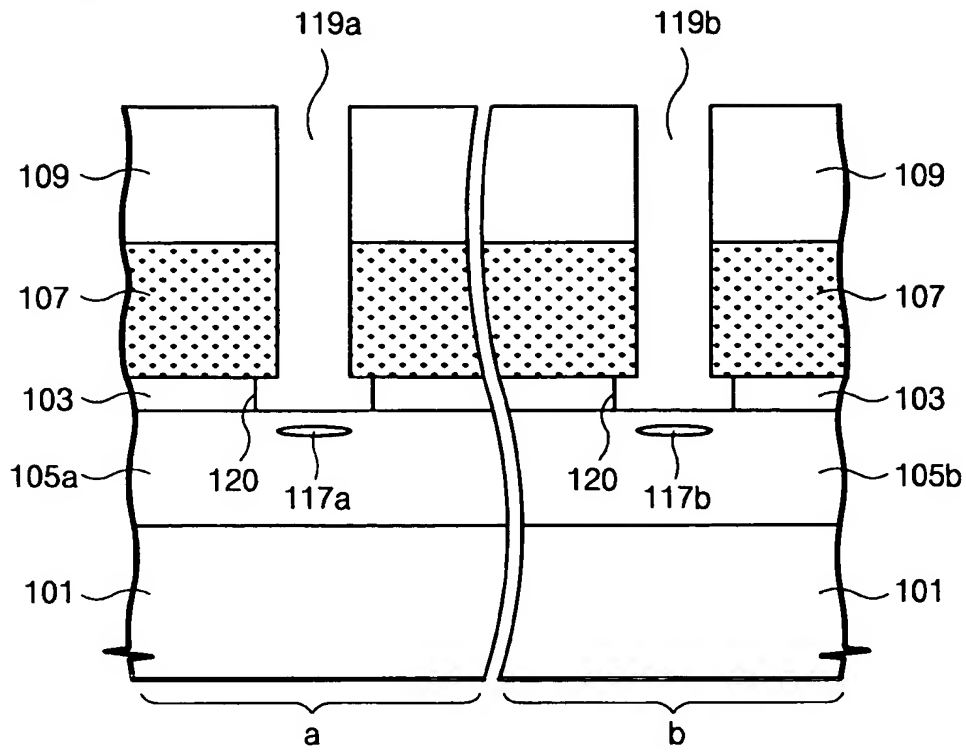
【도 13b】



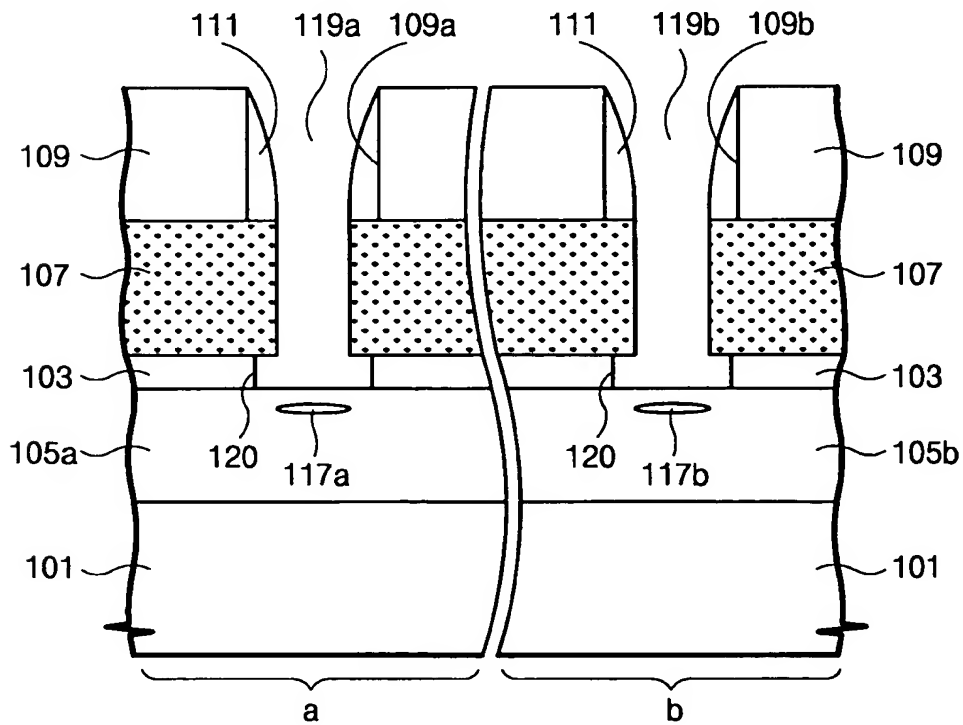
【도 13c】



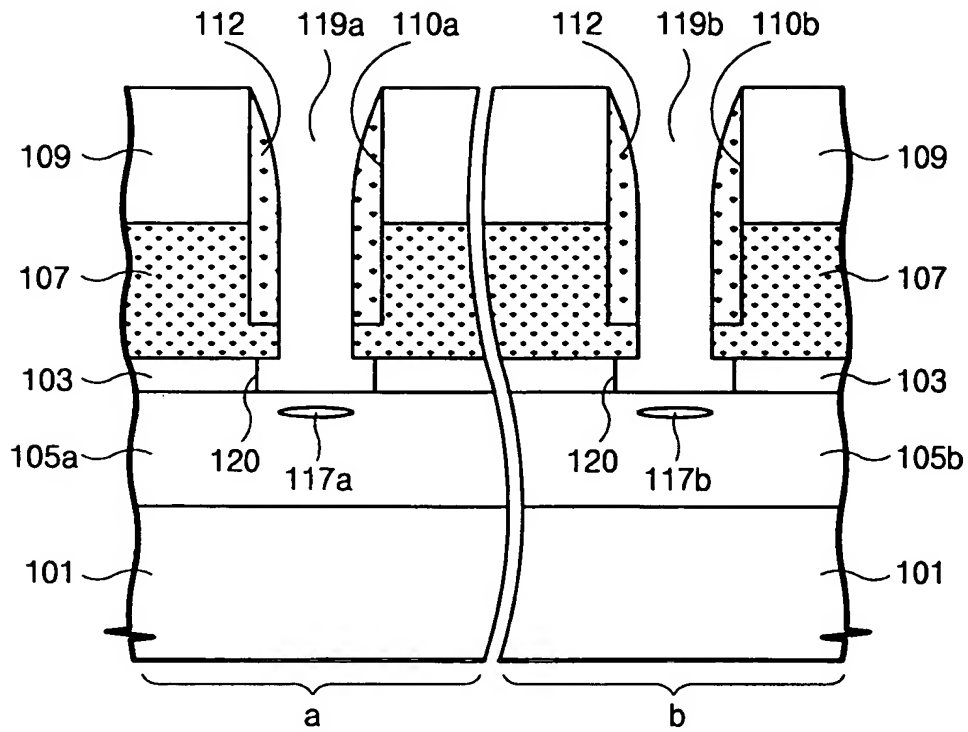
【도 14a】



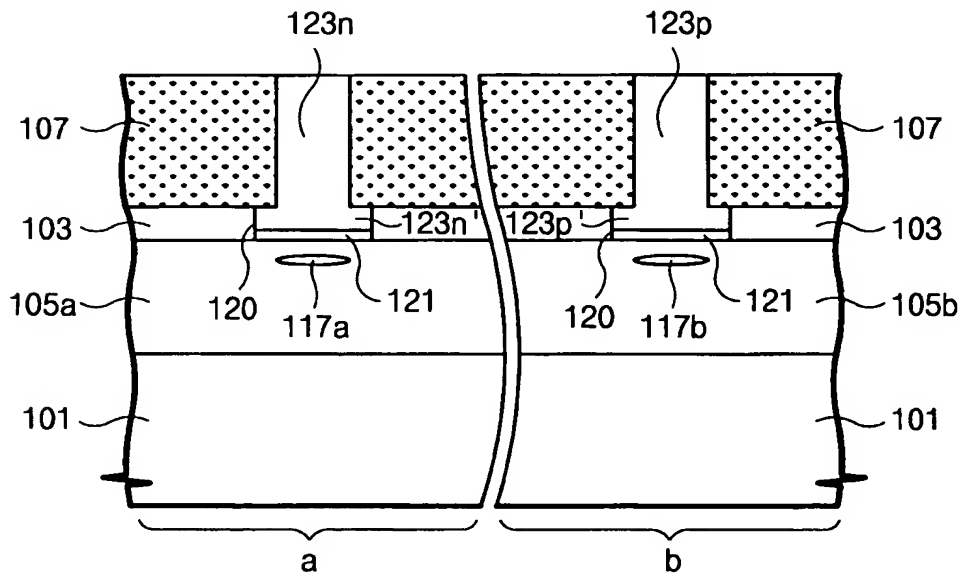
【도 14b】



【도 14c】

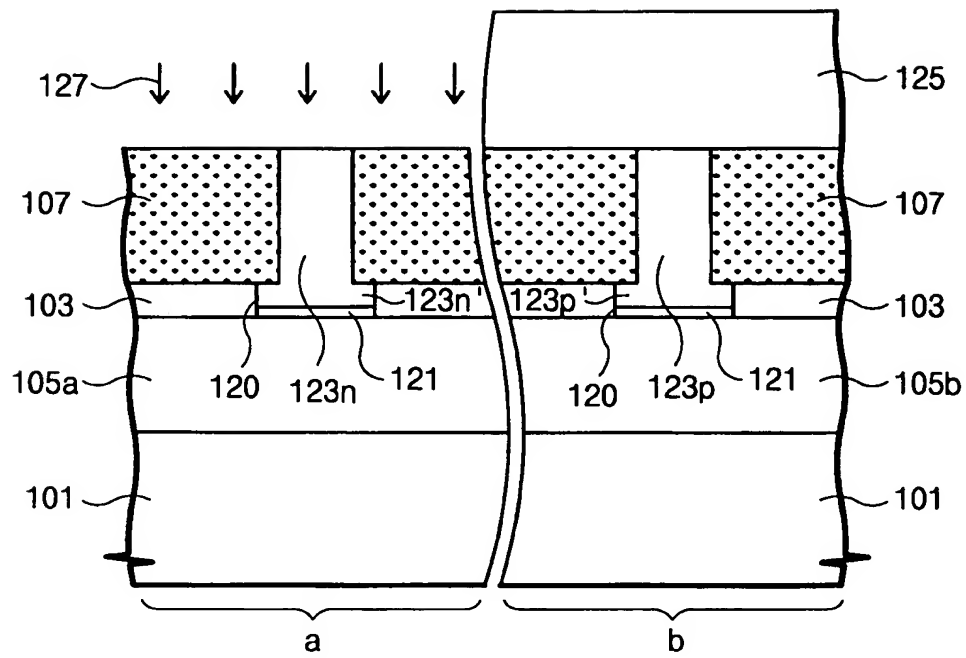


【도 15】

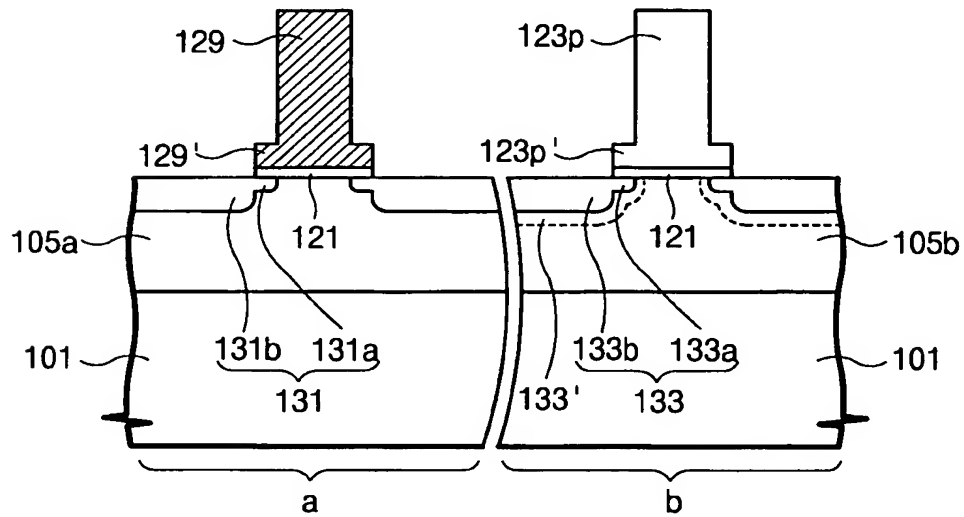




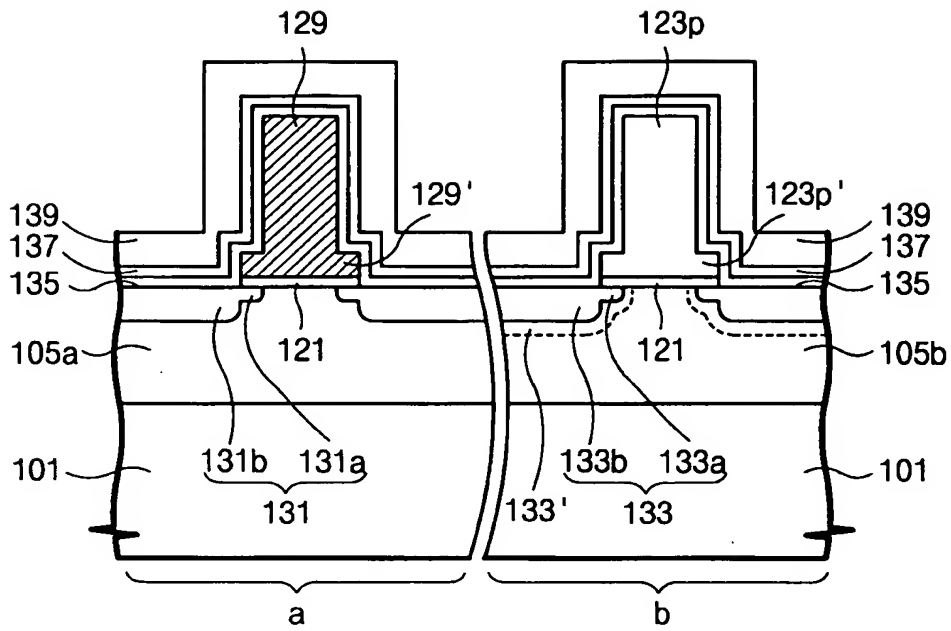
【도 16】



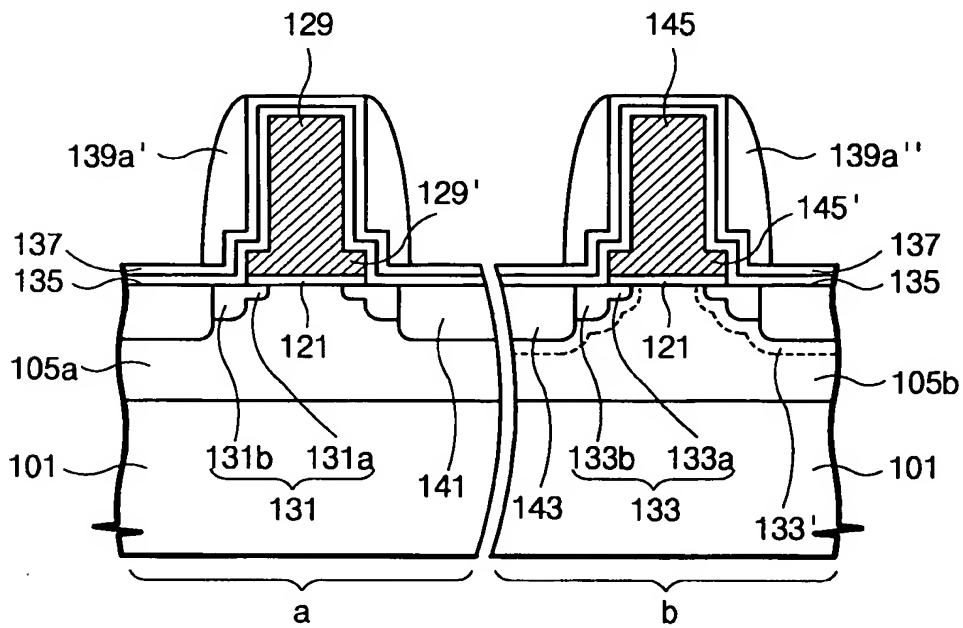
【도 17】



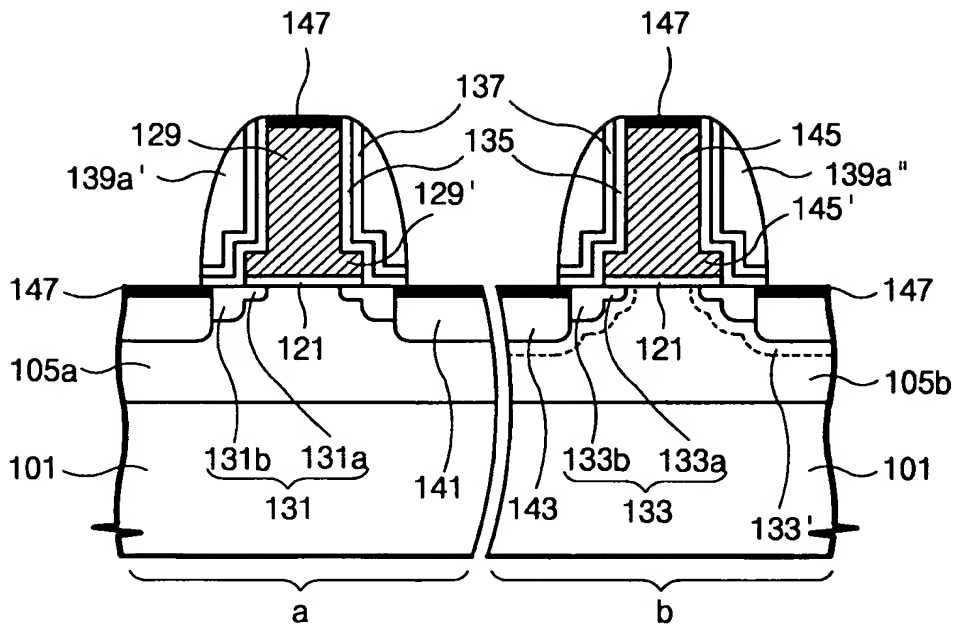
【도 18】



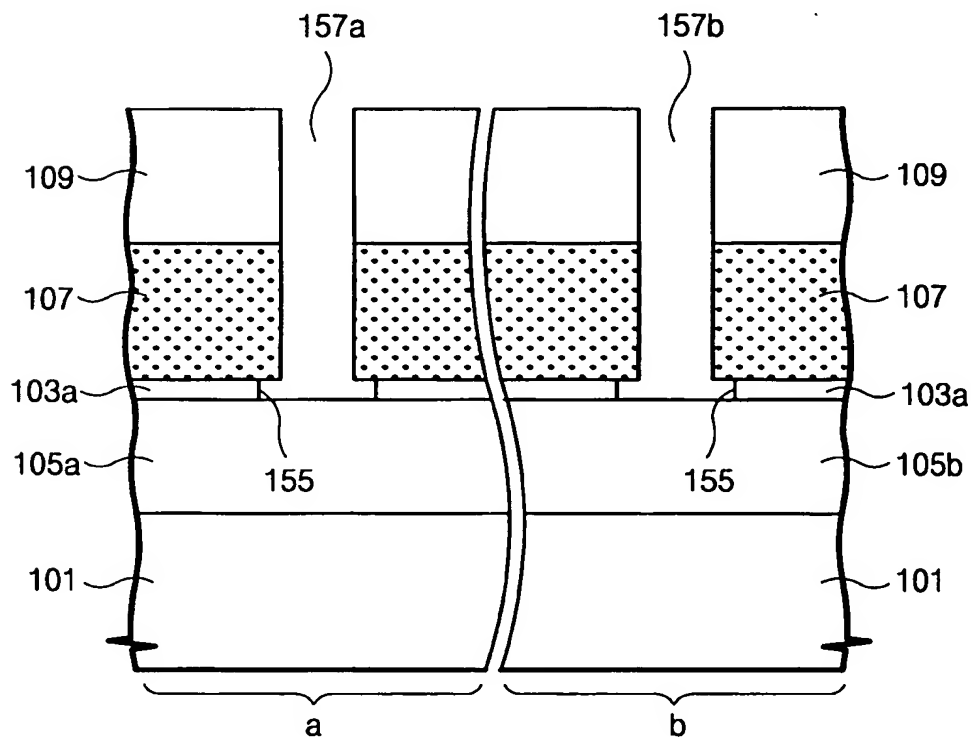
【도 19】



【도 20】

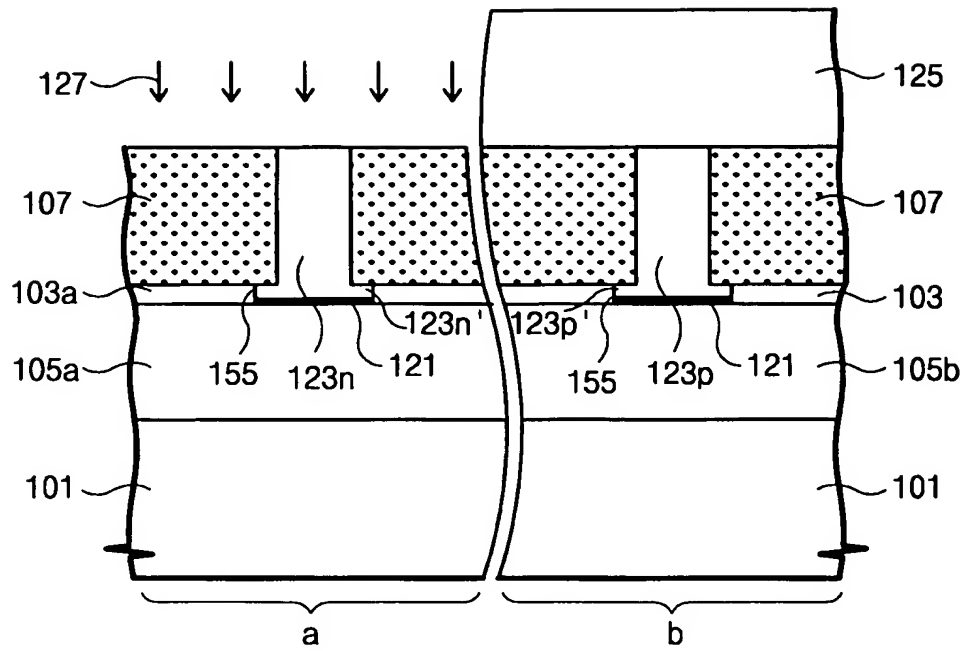


【도 21a】

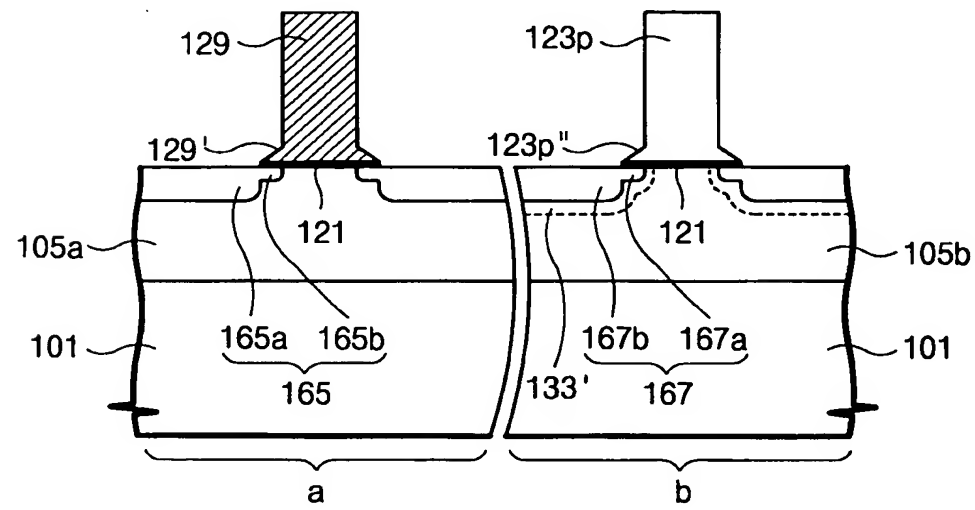




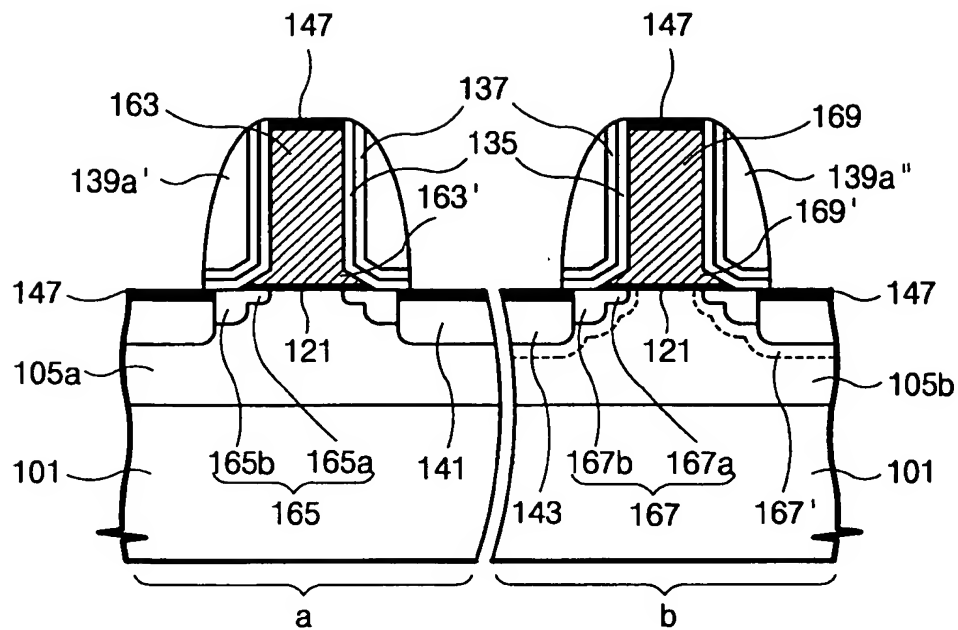
【도 22】



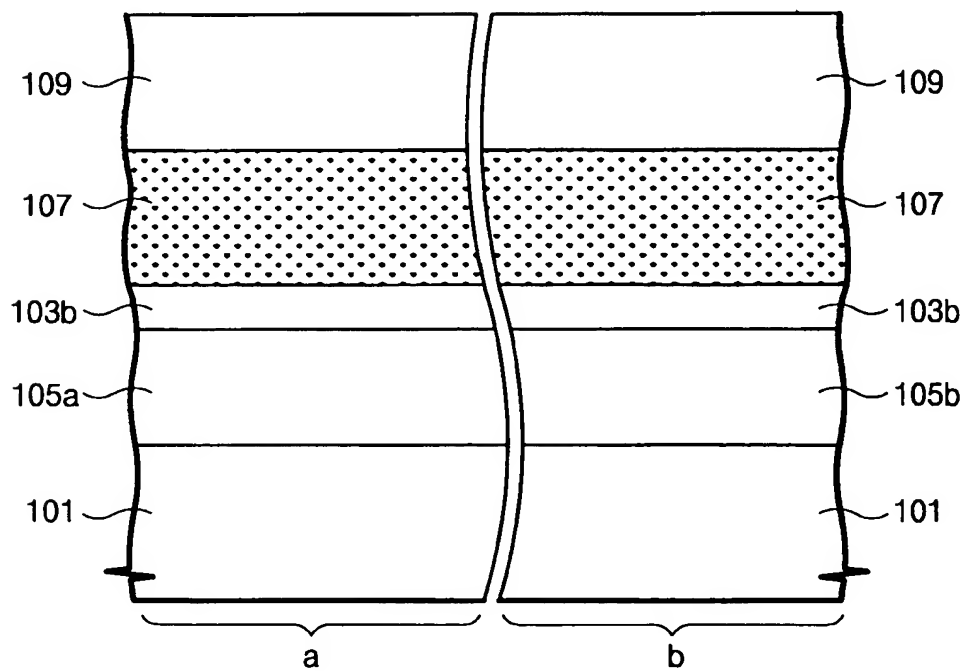
【도 23】



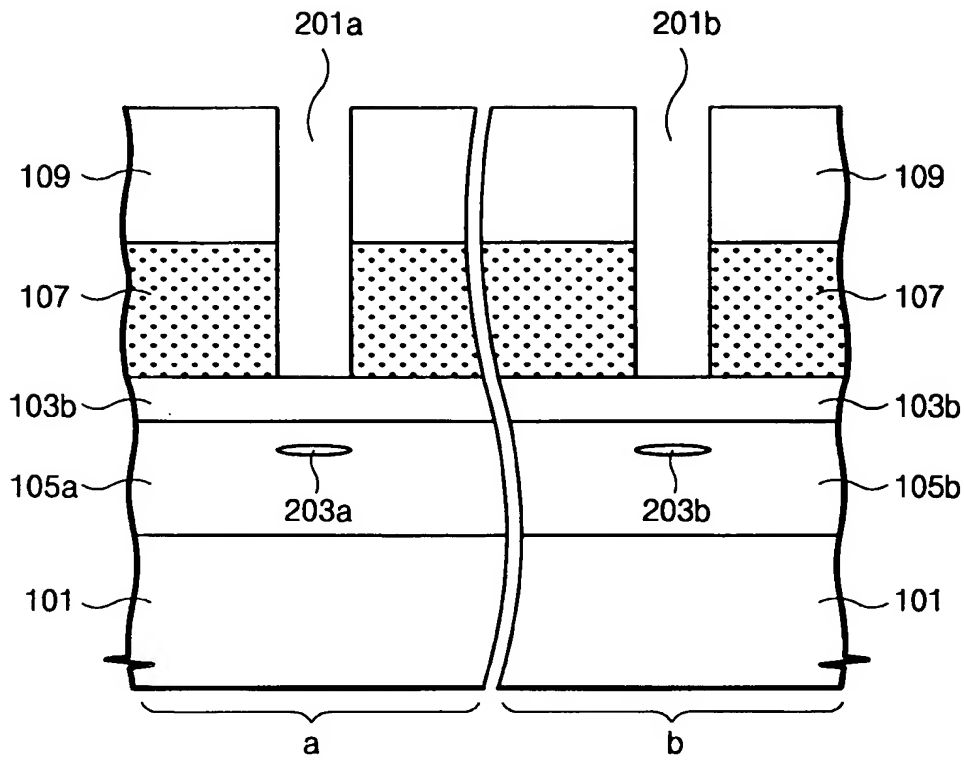
【도 24】



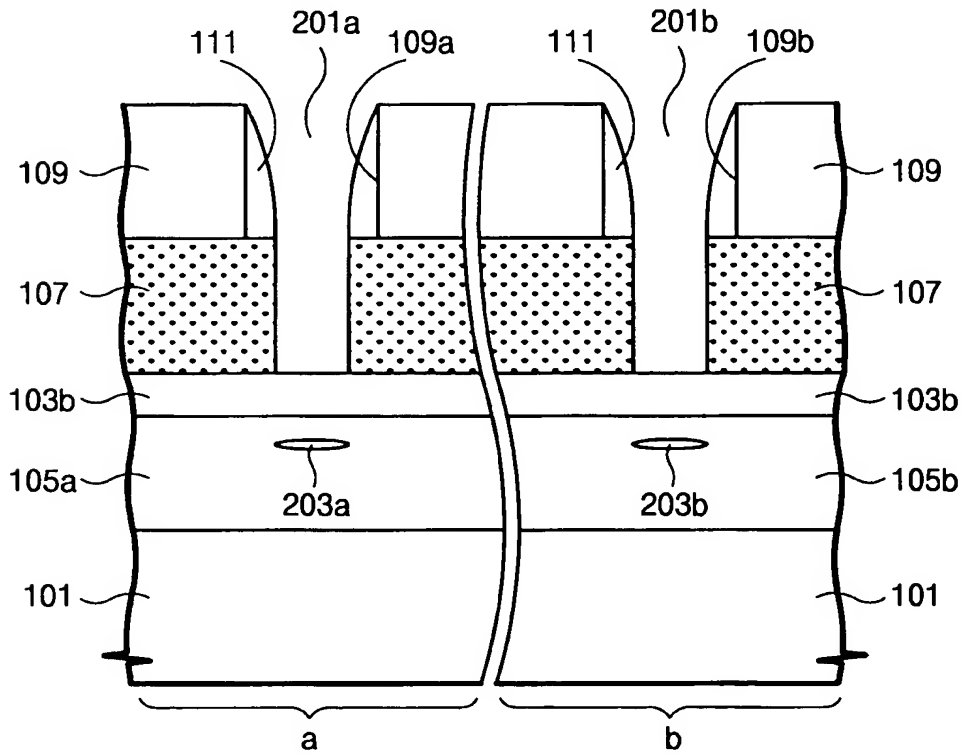
【도 25】



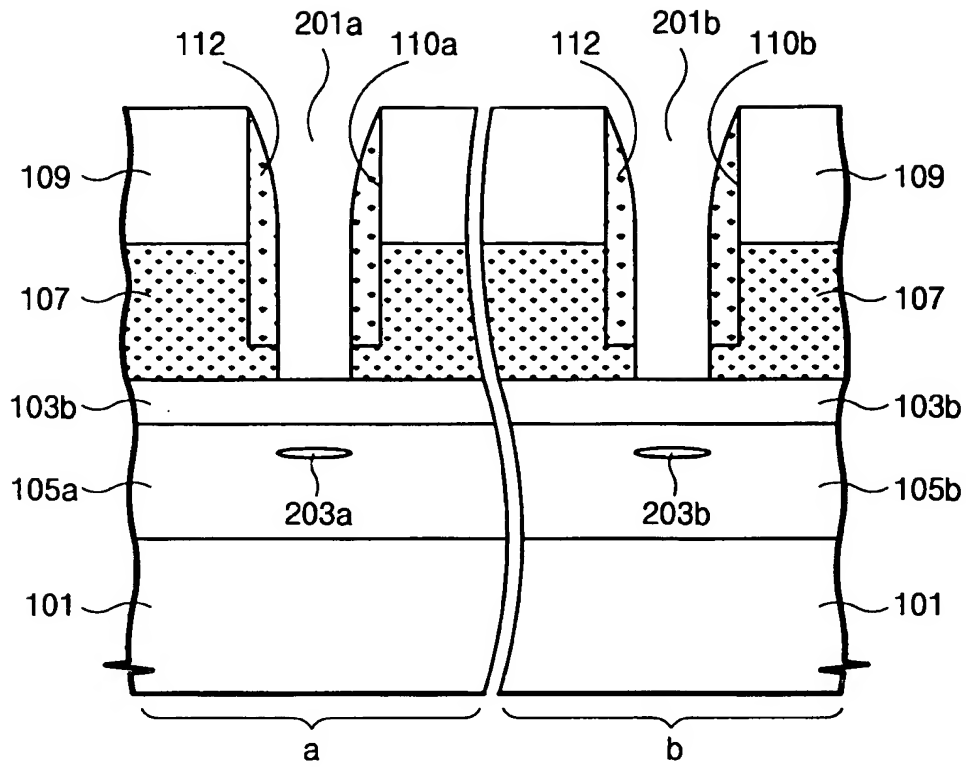
【도 26a】



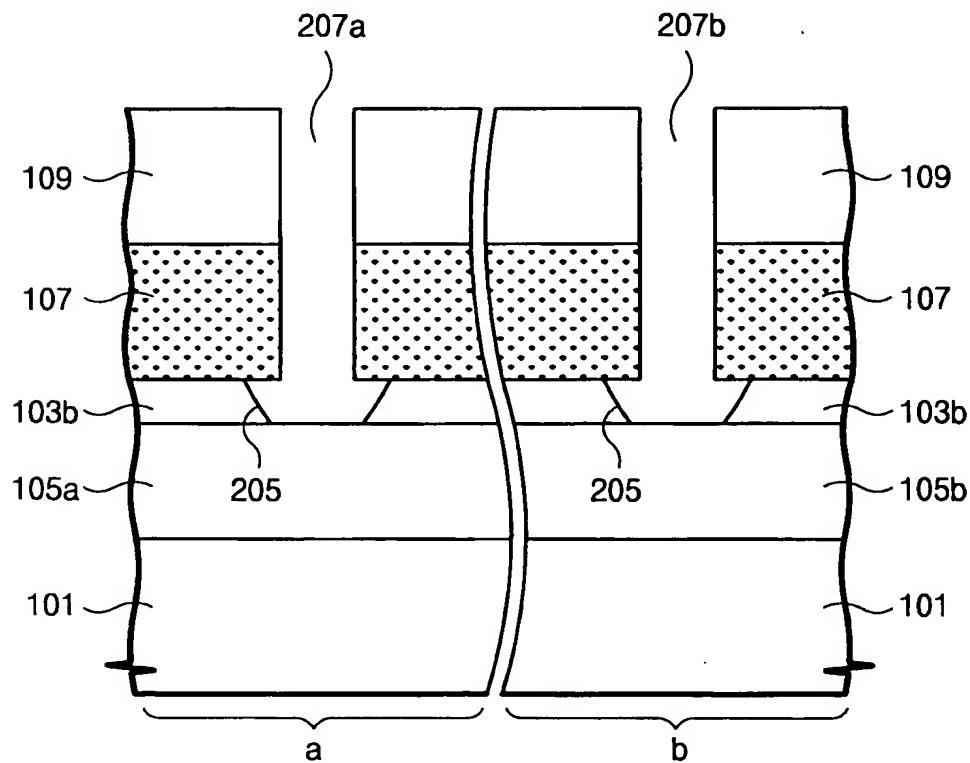
【도 26b】



【도 26c】

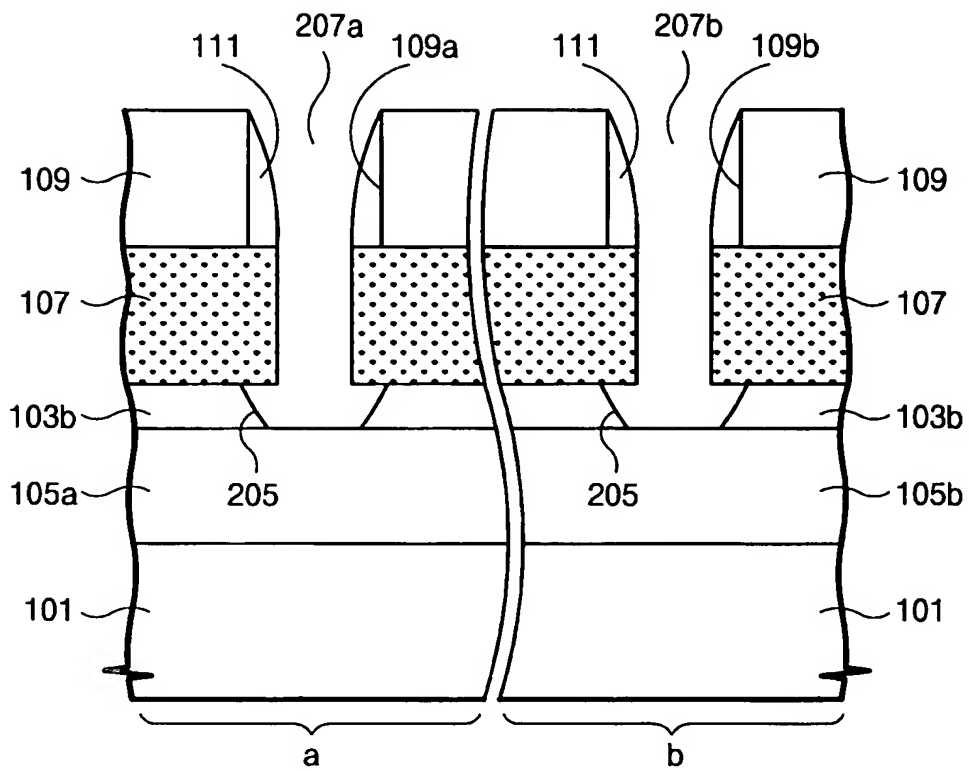


【도 27a】

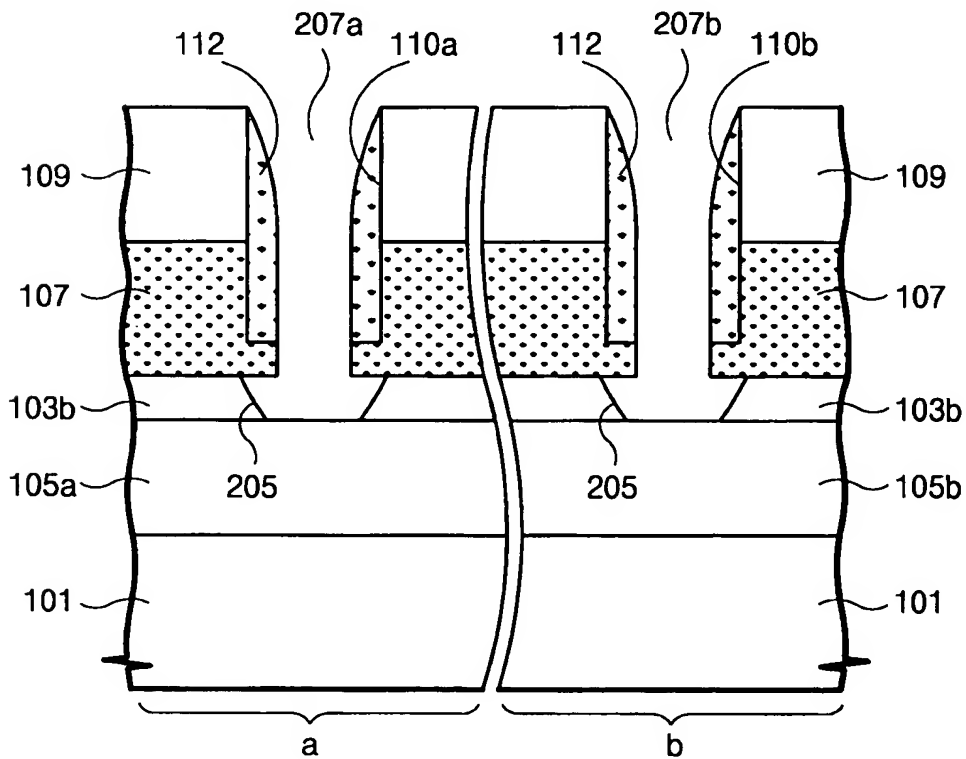




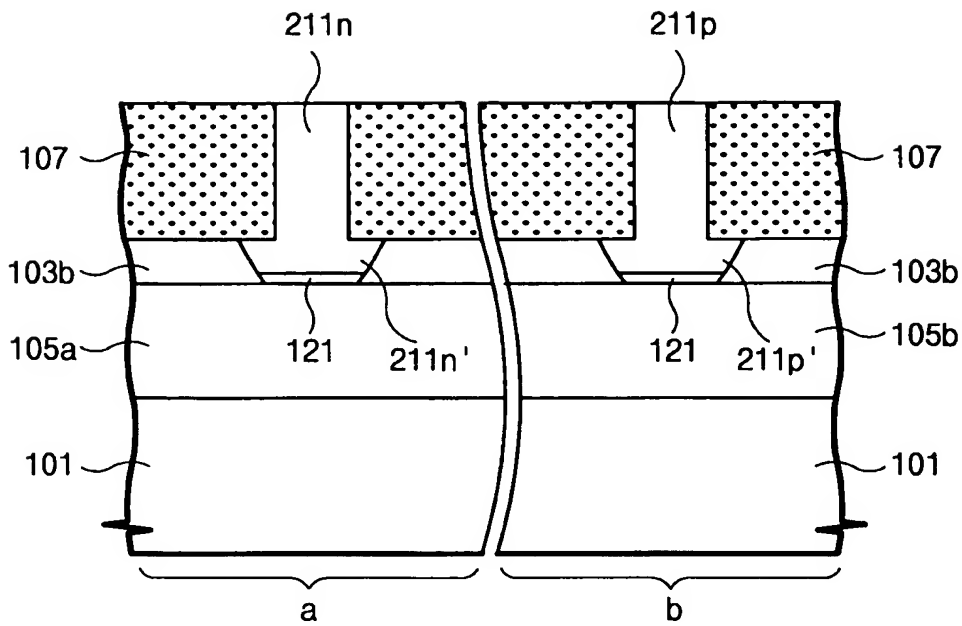
【도 27b】



【도 27c】



【도 28】



【도 29】

